



JP-2002-208629 (Cited Document 5)

# SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

[0003]

5                   As a method of burying a trench having a high aspect ratio, there is a method of burying a trench with a silicon oxide film (hereinafter called HDP film) by high density plasma (HDP) CVD. However, recent semiconductor devices are made finer and an STI trench has a higher aspect ratio. If the aspect ratio is higher than 3, even an HDP film cannot be filled in the trench. As shown in Figs. 31(a) and 31(b),  
10 although an HDP film 36 is filled in a trench formed in a silicon substrate 1, the upper portion of the trench is closed by the HDP film 37 and a void 32 is formed above the film 36 so that the trench is not buried perfectly.

[0017]

15                   (1) First, as shown in Fig. 1(a) a buffer oxide film 2 is formed on a semiconductor substrate 1 by thermal oxidation. Next, for example, a silicon nitride film is formed as a mask member 3 by low pressure chemical vapor deposition (LPCVD).

[0018]

20                   (2) As shown in Fig. 1(b), a photoresist pattern 4 covering active regions is formed by photolithography.

[0019]

(3) Next, as shown in Fig. 1(c), by using the photoresist pattern 4 as a mask, the mask member 3 is etched and then the buffer insulating film 2 is etched.

25                   [0020]

(4) As shown in 2(a), by using the mask member 3 as a mask, the

BEST AVAILABLE COPY



**THIS PAGE BLANK (USPTO)**

semiconductor substrate 1 is etched to form a trench 5 having a high aspect ratio of 5 or higher, the trench being an element isolation region.

[0041]

5                   Therefore, if the inner surface of the trench 5 is oxidized, after the oxidation process of the third example shown in Fig. 7(a), a silicon nitride film ( $\text{Si}_3\text{N}_4$ ) is deposited by LPCVD to a thickness of about 10 nm, preferably about 6 nm as shown in Fig. 10(a). Thereafter, processes similar to the first and second examples are executed.

10                   [0042]

Namely, (1) as shown in Fig. 10(b), HDP films 6 and 7 are deposited in the trench 5. (2) As shown in Fig. 10(c), the HDP film 7 deposited on the side wall is etched and removed. This film 7 is etched with dilute hydrofluoric acid having selectivity relative to the silicon nitride film 13. Since this film 7 is etched, the  
15   oxide film 12 formed on the side wall of the trench 5 before the HDP film 6 is buried in the trench, is left unetched. (3) Next, as shown in Fig. 11(a), photoresist 10 is coated. (4) As shown in Fig. 11(b), resist 11 is left only in the trench 5. (5) As shown in Fig. 12(a), only the HDP film 7 on the mask member 3 is removed. (6) As shown in Fig. 12(b), the photoresist 11 in the trench 5 is removed. (7) As shown in  
20   Fig. 12(c), an HDP film 8 is deposited. (8) As shown in Fig. 13(a), the silicon oxide film 2 is polished to the height of the mask member 3 by CMP. (9) As shown in Figs. 13(b) and 13(c), the surface of the oxide film 9 is lowered its height, and the mask member 3 and buffer oxide film 2 are removed. With these processes, the element isolation regions 6 and 9 can be formed by STI. No damage layer to be  
25   caused by the HDP film is formed.

[0043]

**THIS PAGE BLANK (USPTO)**

As shown in Fig. 13(c), the semiconductor device of the fourth example of the first embodiment is constituted of: the semiconductor substrate 1 having the trench 5 in the surface layer; the silicon oxide film 12 formed on the bottom and side wall of the trench 5; the silicon nitride film 13 formed on the surface of the silicon oxide film 12, the insulator 6 whose bottom and side wall are in contact with the surface of the silicon nitride film 13; and the insulator 9 whose side wall is in contact with the surface of the silicon nitride film 13 and whose bottom is in contact with the upper surface of the insulator 6.

[0044]

10 The present invention is more effective if the trench 5 of the semiconductor substrate 1 has an aspect ratio of about 3 or higher. By forming the stacked insulators 12 and 13 on the surface of the trench 5 formed in the surface layer of the semiconductor substrate 1 and forming and burying the stacked insulators 6 and 9 in the trench, the element isolation region can be formed.

15

[0046]

In a fifth example, in order to solve this problem, the silicon nitride film 13 near the surface of the substrate 1 is removed.

[0047]

20 Namely, after the photoresist 11 in the trench 5 of the fourth example shown in Fig. 12(b) is removed, the exposed silicon nitride film 13 is removed as shown in Fig. 14(a). As shown in Fig. 14(b), an HDP film 8 is deposited. As shown in Fig. 14(c), the silicon oxide film 8 is polished to the height of the mask member 3 by CMP. As shown in Figs. 15(a) and 15(b), the surface of the oxide film 9 is lowered its height, and the mask member 3 and buffer oxide film 2 are removed. 25 With these processes, the element isolation regions 6 and 9 can be formed by STI.

**THIS PAGE BLANK (USPTO)**

[0097]

The HDP film has a hydrofluoric acid etching rate similar to that of a thermal oxide film, even if the HDP film is not subjected to heat treatment after deposition. The HDP film can be buried in a trench having a high aspect ratio to some extent, and is an optimum film as an STI insulating film. According to the present invention, it is possible to bury a trench having a high aspect ratio with an HDP film, although it is impossible if conventional techniques are adopted. It is possible to manufacture STI having a high aspect ratio in future micro semiconductor devices, by using an HDP film.

Figs. 10 to 12 are cross sectional views illustrating processes of a semiconductor device manufacture method according to a fourth example of the first embodiment.

Figs. 14 and 15 are cross sectional views illustrating processes of a semiconductor device manufacture method according to a fifth example of the first embodiment.

1... silicon substrate, 2... buffer insulating film, gate insulating film, 3... mask member, 4... photoresist, 5... trench, 6, 7, 9... insulator, 8... insulating film, 10, 11... photoresist, 12, 33... silicon oxide film, 13, 14... silicon nitride film, 15... polysilicon film, floating gate, 16... silicon oxide film, 17... insulating film, ONO film, 18... polysilicon film, control gate electrode, 19... tungsten silicon film, control gate electrode, 20, 21, 22... silicon oxide film, 23, 25... main electrode region, source/drain regions, 24... silicon nitride film, 26, 27... insulator, 28... interlayer insulating film, 29, 31... titanium nitride film, 30... aluminum alloy film, 32... void, 36, 37, 38, 39... insulator, 41, 42... opening, 43, 44... insulator, 45... photoresist, 46...

**THIS PAGE BLANK (USPTO)**



implanted ions, 47... gate insulating film, 48... gate electrode, 49... mask member,  
50... photoresist, 51, 52, 53... opening, 54, 55, 56... insulator

**THIS PAGE BLANK (USPTO)**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-208629

(43)Date of publication of application : 26.07.2002

(51)Int.Cl.

H01L 21/76  
G23C 16/40  
H01L 21/8247  
H01L 27/08  
H01L 27/115  
H01L 29/788  
H01L 29/792

(21)Application number : 2001-286754

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.09.2001

(72)Inventor : SATOU ATSUYOSHI  
MORI SEIICHI  
ICHIGE MASAYUKI  
TAKEUCHI YUJI  
HAZAMA HIROAKI  
OGIWARA HIROTAKA  
KAJI SHIGEHICO  
NISHIYAMA YUKIO

(30)Priority

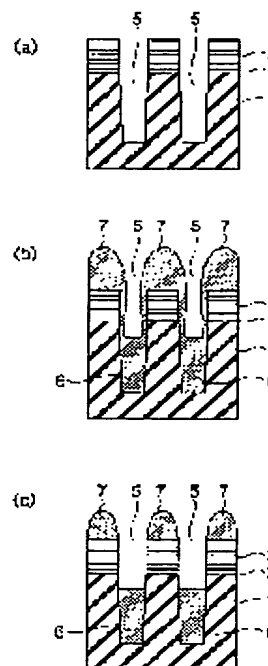
Priority number : 2000342540    Priority date : 09.11.2000    Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device, wherein trenches which are formed in a manufacturing process of the semiconductor device and have high aspect ratios can be filled by using a high density plasma(HDP) method.

SOLUTION: Formation of first silicon oxide films is started on the inner surfaces of the trenches formed on a surface or an upper part of a semiconductor substrate by using the HDP method. Before aperture parts of the trenches are plugged with the first silicon oxide films, formation of the first silicon oxide films is stopped. The first silicon oxide films deposited in the vicinities of the apertures are etched, and second silicon oxide films are formed by using the HDP method on the first silicon oxide films deposited on the bottoms of the trenches. As a result, the first and the second silicon oxide films can be laminated on the bottoms of the trenches.



## LEGAL STATUS

[Date of request for examination]

14.03.2005

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-208629

(P2002-208629A)

(43)公開日 平成14年7月26日(2002.7.26)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 21/76		C 2 3 C 16/40	4 K 0 3 0
C 2 3 C 16/40		H 0 1 L 27/08	3 3 1 A 5 F 0 3 2
H 0 1 L 21/8247		21/76	L 5 F 0 4 8
27/08	3 3 1	29/78	3 7 1 5 F 0 8 3
27/115		27/10	4 3 4 5 F 1 0 1
審査請求 未請求 請求項の数21 O L (全 25 頁) 最終頁に続く			

(21)出願番号 特願2001-286754(P2001-286754)

(22)出願日 平成13年9月20日(2001.9.20)

(31)優先権主張番号 特願2000-342540(P2000-342540)

(32)優先日 平成12年11月9日(2000.11.9)

(33)優先権主張国 日本(J P)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 佐藤 敦祥

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72)発明者 森 誠一

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 100083806

弁理士 三好 秀和 (外7名)

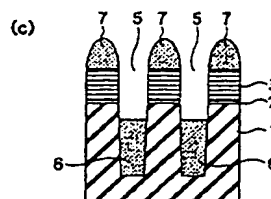
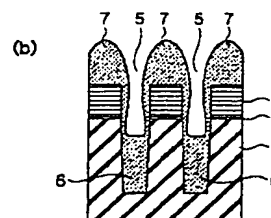
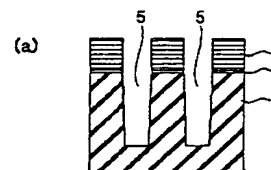
最終頁に続く

(54)【発明の名称】 半導体装置、及び、半導体装置の製造方法

(57)【要約】

【課題】 半導体装置の製造過程で形成される高アスペクト比を有するトレンチを高密度プラズマ(HDP)法で埋め込むことが可能な半導体装置の製造方法を提供する。

【解決手段】 半導体基板の表面上又は上方に形成された溝の内面にHDP法による第1のシリコン酸化膜の成膜をスタートする。そして、第1のシリコン酸化膜が溝の開口部を塞ぐ前に第1のシリコン酸化膜の成膜をストップする。さらに、開口部の付近に堆積した第1のシリコン酸化膜をエッチングし、溝の底に堆積した第1のシリコン酸化膜の上にHDP法で第2のシリコン酸化膜を成膜する。このことにより、溝の底に第1と第2のシリコン酸化膜を積層できる。



## 【特許請求の範囲】

【請求項 1】 半導体基板の表面上又は上方に溝を形成する工程と、  
高密度プラズマ（HDP）法で、第 1 のシリコン酸化膜を成膜する工程と、  
前記溝の側面又は前記溝の開口面に堆積した前記第 1 のシリコン酸化膜を、前記側面又は前記開口面が露出するまで除去する工程と、  
前記第 1 のシリコン酸化膜の上と前記側面又は前記開口面の上に高密度プラズマ（HDP）法で第 2 のシリコン酸化膜を成膜する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記除去する工程が、  
等方性のウェットエッチングを含み、前記溝の側面に堆積した前記第 1 のシリコン酸化膜を、前記側面が露出するまで除去することを特徴とする請求項 1 に記載の製造方法。

【請求項 3】 前記除去する工程が、  
ケミカルメカニカルポリッシングを含み、前記溝の開口面に堆積した前記第 1 のシリコン酸化膜を、前記開口面が露出するまで除去することを特徴とする請求項 1 又は請求項 2 に記載の製造方法。

【請求項 4】 前記除去する工程が、  
前記溝の底部に堆積した前記第 1 のシリコン酸化膜の上にレジストを堆積する工程と、  
前記レジストをマスクに前記開口面上の前記第 1 のシリコン酸化膜を前記開口面が露出するまで除去する工程と、  
前記レジストを除去する工程とを有することを特徴とする請求項 1 又は請求項 2 に記載の製造方法。

【請求項 5】 前記第 2 のシリコン酸化膜を成膜する工程の前に、  
前記溝の内面を酸化する工程を行うことを特徴とする請求項 1、請求項 2 又は請求項 4 に記載の製造方法。

【請求項 6】 前記第 1 のシリコン酸化膜を成膜する工程の前に、  
前記溝の内面を酸化する工程と、  
前記酸化する工程の後に、シリコン窒化膜を堆積する工程とを有することを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載の製造方法。

【請求項 7】 前記第 1 のシリコン酸化膜を除去する工程以降で、第 2 のシリコン酸化膜を成膜する工程の前に、  
前記溝の上部に位置する前記シリコン窒化膜を除去する工程を行うことを特徴とする請求項 6 に記載の製造方法。

【請求項 8】 半導体基板の表面上又は上方に溝を形成する工程と、  
前記溝の内面に酸素ラジカルによる酸化で酸化膜を形成する工程と、

前記溝の内面にシリコン酸化膜を成膜する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 9】 表面に溝を有する半導体基板と、  
前記溝の底面に接する底面と、前記溝の側面に接する側面とを有する第 1 の絶縁体と、  
前記第 1 の絶縁体の上面に接する底面と、前記溝の側面に接する側面とを有する第 2 の絶縁体とを有することを特徴とする半導体装置。

【請求項 10】 表面に溝を有する半導体基板と、  
前記溝の底面に接し、前記溝の側面の下部に接する裏面を有する第 1 の絶縁膜と、  
前記第 1 の絶縁膜の表面に、底面と側面が接する第 1 の絶縁体と、  
前記溝の側面の上部に裏面が接し、前記第 1 の絶縁膜の端面に端面が接する第 2 の絶縁膜と、  
前記第 2 の絶縁膜の表面に側面が接し、前記第 1 の絶縁体の上面に底面が接する第 2 の絶縁体とを有することを特徴とする半導体装置。

【請求項 11】 表面に溝を有する半導体基板と、  
前記溝の底面と側面に接する裏面を有するシリコン酸化膜と、  
前記シリコン酸化膜の表面に、裏面が接するシリコン窒化膜と、  
前記シリコン窒化膜の表面に、底面と側面が接する第 1 の絶縁体と、  
前記シリコン窒化膜の表面に側面が接し、前記第 1 の絶縁体の上面に底面が接する第 2 の絶縁体とを有することを特徴とする半導体装置。

【請求項 12】 表面に溝を有する半導体基板と、  
前記溝の底面と側面に接する裏面を有するシリコン酸化膜と、  
前記シリコン酸化膜の表面に、裏面が接するシリコン窒化膜と、  
前記シリコン窒化膜の表面に、底面と側面が接する第 1 の絶縁体と、  
前記シリコン酸化膜の表面に側面が接し、前記第 1 の絶縁体の上面と前記シリコン窒化膜の端面に底面が接する第 2 の絶縁体とを有することを特徴とする半導体装置。

【請求項 13】 表面に溝を有する半導体基板と、  
前記基板の表面上に裏面が接するように設けられ、前記溝の上に第 1 の開口部を有する絶縁膜と、  
前記絶縁膜の表面上に設けられ、前記溝の上方に第 2 の開口部を有するポリシリコン膜と、  
前記溝の底面と側面に接し前記ポリシリコン膜の前記第 2 の開口部の側面に接する裏面を有し、膜厚が均一なシリコン酸化膜と、  
前記シリコン酸化膜の表面に、底面と側面が接する絶縁体とを有することを特徴とする半導体装置。

【請求項 14】 前記溝がアスペクト比で 3 程度を超え

記載の半導体装置。

【請求項 15】 表面近傍に導電型の異なる半導体領域を有する半導体基板と、

前記基板の上部に設けられ、前記基板の絶縁膜と、前記絶縁膜の上方の制御電極となるポリシリコンと、前記ポリシリコン上の導電膜と、前記導電膜上のキャップ材となるシリコン窒化膜 3 とを有する複数のゲート電極部と、

側面が複数の前記ゲート電極部の側面と接し、前記基板上に積層された絶縁膜とを有することを特徴とする半導体装置。

【請求項 16】 半導体基板と、

前記基板上に設けられた層間絶縁膜と、

前記層間絶縁膜上に設けられた複数のメタル配線と、

側面が複数の前記メタル配線の下方の側面と接し、前記層間絶縁膜上に積層された第 1 の絶縁膜と、

複数の前記メタル配線の上方の側面と接し、前記第 1 の絶縁膜と前記メタル配線の上に設けられる第 2 の絶縁膜とを有することを特徴とする半導体装置。

【請求項 17】 半導体基板と、

前記基板の上に設けられる絶縁膜と、

前記絶縁膜の上に設けられる電極材と、

前記電極材の上に設けられるマスク材と、

前記マスク材、前記電極材と前記絶縁膜を貫通して、前記基板 1 の内部にまで達する第 1 の絶縁体と、

前記第 1 の絶縁体の下部に接して前記基板 1 に埋め込まれた第 2 の絶縁体とを有することを特徴とする半導体装置。

【請求項 18】 前記マスク材、前記電極材と前記絶縁膜を貫通して、前記基板の内部にまで達し、幅は前記第 1 の絶縁体の幅より狭く、底面の前記基板の表面からの深さは前記第 2 の絶縁体の底面より浅い第 3 の絶縁体をさらに有することを特徴とする請求項 17 に記載の半導体装置。

【請求項 19】 半導体基板上にバッファ絶縁膜と第 1 のマスク材を形成する工程と、

第 1 のパターン形状に、前記第 1 のマスク材と前記バッファ絶縁膜と前記基板をエッチングして第 1 の溝を形成する工程と、

前記第 1 の溝に第 1 の絶縁膜を埋め込む工程と、

前記基板上にゲート絶縁膜とゲート電極材と第 2 のマスク材を形成する工程と、

前記第 2 のマスク材と前記ゲート電極材と前記ゲート絶縁膜をエッチングして貫通し、さらに、前記基板を前記第 1 の溝を形成する工程の前記基板のエッチングより浅くエッチングして、前記第 1 のパターンより幅の広い第 2 のパターン形状で前記第 1 のパターンに重なる位置に第 2 の溝を形成する工程と、

前記第 2 の溝に第 2 の絶縁膜を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 20】 前記第 1 の溝を形成する工程で、マスク合わせ用のマークを形成することを特徴とする請求項 19 に記載の製造方法。

【請求項 21】 前記第 2 の溝を形成する工程において、

前記第 2 のパターン形状より幅の狭い第 3 のパターン形状に第 3 の溝を形成することを特徴とする請求項 19 又は請求項 20 に記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造過程で形成される溝（トレンチ）の埋め込み方法に関し、特に、高アスペクト比を有するトレンチを高密度プラズマ（HDP）法で埋め込む方法、及び、素子分離耐性の高いシャロウトレンチアイソレーション（STI：Shallow Trench Isolation）の形成方法に関する。

【0002】

【従来の技術】 近年の半導体装置の微細化に伴い、半導体装置の製造において、微小な素子分離が必要とされ、トレンチによる素子分離（STI：Shallow Trench Isolation）が、用いられるようになってきた。そして、STI の微細化も同様の目的で行われている。STI のトレンチは開口幅が狭く深さが深くなり、すなわち、開口幅に対する深さの比であるアスペクト比が高くなってきている。このため、STI を形成する際には、高アスペクト比のトレンチを絶縁体で埋め込むプロセスが必要となってきている。

【0003】 高アスペクトのトレンチを埋め込む方法として、高密度プラズマ（HDP：High Density Plasma）化学気相成長（CVD）法によるシリコン酸化膜（以下 HDP 膜と呼ぶ）を埋め込む方法がある。しかし、近年の半導体装置のさらなる微細化にともない、STI のトレンチもさらに高アスペクト比化しており、高アスペクト比 3 を超えるトレンチは HDP 膜でも埋め込めない。図 31 の（a）と（b）に示すように、シリコン基板 1 に設けられた溝に HDP 膜 36 が埋め込まれているが、溝の上部は HDP 膜 37 で塞がれ膜 36 の上にはボイド 32 ができ、溝が完全に埋め込めないのである。

【0004】 また、EEPROM などの高電圧を使用するデバイスにおいては、微細化に伴い、分離幅が狭く、なおかつ、高い素子分離性能を持つ STI が必要とされてきている。分離幅を狭くして、高い素子分離性能を得るには、深い STI が必要とされるが、STI を深くすることによって、セルアレイなどの特に微細な STI においては、埋め込みアスペクトが非常に高くなるため、絶縁膜の埋め込みが困難になるという問題があった。

【0005】

【発明が解決しようとする課題】 発明者らは、アスペク

ト比3を超える溝（トレンチ）をHDP膜が埋め込めない理由を鋭意検討した結果、2つの理由が明らかになった。

【0006】第1の理由は、HDP膜にて、トレンチを埋め込む際に、マスク材3の上に堆積するHDP膜37は、マスク材3の上面の端部の上に堆積しても、スパッタされやすく角が丸くなる。この丸くなった部分は、上方から飛来するイオンを反射し、付着させることなく斜め横方向に入射方向を変えてしまう。その変更された入射方向の先はトレンチの側壁、特にマスク材3等のトレンチの上方の側壁であり、図31(a)に示すように側壁の上方にもHDP膜37が堆積する。トレンチの底部から埋め込まれるHDP膜36がトレンチの上部に達する前に、側壁のHDP膜37が成長しトレンチを完全に塞いでしまうと、大きな空隙32（ボイド：Void）ができる。そのため、従来のHDP膜を用いたSTI形成プロセスは、アスペクト比が3を超えると、トレンチが深くなり長くなる膜36で埋め込む時間に対して、トレンチの開口幅が狭くなり膜37が開口を塞ぐ時間が短くなりボイド32が発生していた。

【0007】第2の理由は、図31(b)のように、ゲート電極部15をSTI36等と自己整合的に形成する構造のSTIのトレンチが埋め込めない理由である。HDP膜36堆積時のシリコン（Si）基板1へのダメージを防ぐために、HDP膜を埋め込む前に、予め、このトレンチの側面及び底面を10nm程度酸化する。この場合に、従来の酸化方法では、酸化レートがシリコンの結晶の面方向依存性を強く有する。そのため、一般には酸化される表面に様々な結晶面が出ているポリシリコン15（Poly-Si）の方がシリコン基板1より酸化レートが高く、マスク材のポリシリコン部15が大きく酸化されるため、溝の側壁にポリシリコン15が酸化した酸化膜が張りだし、開口が狭くなり埋め込み性が劣化する。

【0008】本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、高密度プラズマ（HDP）法で埋め込まれた高アスペクト比を有するトレンチを有する半導体装置を提供することにある。

【0009】また、本発明は、半導体装置の製造過程で形成される高アスペクト比を有するトレンチをHDP法で埋め込むことが可能な半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記問題点を解決するための本発明の第1の特徴である半導体装置の製造方法について述べる。この製造方法では、まず、半導体基板の表面上又は上方に溝を形成する。次に、高密度プラズマ（HDP）法で、溝の開口部を塞がないように、第1のシリコン酸化膜を成膜する。そして、溝の側面又は溝の開口面に堆積した第1のシリコン酸化膜を、溝の側面

又は溝の開口面が露出するまで除去する。さらに、第1のシリコン酸化膜の上と溝の側面又は溝の開口面の上に高密度プラズマ（HDP）法で第2のシリコン酸化膜を成膜する。

【0011】次に、本発明の第2の特徴である半導体装置の製造方法について述べる。この製造方法では、まず、半導体基板上にバッファ絶縁膜と第1のマスク材を形成する工程と、第1のパターン形状に、第1のマスク材とバッファ絶縁膜と基板をエッチングして第1の溝を形成する工程と、この第1の溝に第1の絶縁膜を埋め込む工程を有する。さらに、基板上にゲート絶縁膜とゲート電極材と第2のマスク材を形成する工程と、この第2のマスク材とゲート電極材とゲート絶縁膜をエッチングして貫通し、さらに、基板を第1の溝を形成する工程の基板のエッチングより浅くエッチングして、第1のパターンより幅の広い第2のパターン形状で第1のパターンに重なる位置に第2の溝を形成する工程と、この第2の溝に第2の絶縁膜を埋め込む工程とを有する。

【0012】

【発明の実施の形態】次に、図面を参照して、本発明の実施例について説明する。なお、以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。また、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。

【0013】（実施例1）実施例1として、本発明を半導体装置のSTIのトレンチの埋め込みに適用した場合を説明する。

【0014】（実施例1の第1の実施の形態）図4

(c)は本発明の実施例1の第1の実施の形態に係る半導体装置の断面図である。本発明の実施例1の第1の実施の形態に係る半導体装置は、表面に溝を有する半導体基板1と、その溝の底面に接する底面と、その溝の側面に接する側面とを有する絶縁体6と、その絶縁体6の上面に接する底面と、その溝の側面に接する側面とを有する絶縁体9とで構成される。半導体基板1の溝がアスペクト比3程度を超える場合に本発明は一層効果的である。半導体基板1の表面に形成された溝に絶縁体6と9を積層して埋め込むことにより素子分離領域を形成することができる。

【0015】図1乃至4は、本発明の実施例1の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図である。以下に製造方法を説明する。

【0016】本発明の半導体装置の製造方法は、高アスペクト比のトレンチにHDP膜を埋め込む方法である。HDP膜を高アスペクトのトレンチの途中まで埋め込み、反射によって側壁に堆積したHDP膜を一度剥離し、さらにもう一度HDP膜を堆積することにより、従来ではHDP膜での埋め込み不可能な高アスペクトのトレンチをHDP膜にて埋め込む方法である。



【0017】(1) まず、図1(a)に示すように、半導体基板1上に熱酸化法によりバッファ酸化膜2を形成する。次に、マスク材3として例えば窒化シリコン膜を減圧化学気相成長(LPCVD)法により形成する。

【0018】(2) 図1(b)に示すように、フォトリソグラフィ法により素子領域となる部分にフォトレジストパターン4を形成する。

【0019】(3) 次に、図1(c)に示すように、フォトレジスト4をマスクとしてマスク材3をエッチングし、続いてバッファ絶縁膜2をエッチングする。

【0020】(4) さらに、図2(a)に示すように、半導体基板1をマスク材3をマスクにエッチングして素子分離領域となるアスペクト比5以上の高アスペクト比のトレンチ5を形成する。トレンチの開口幅は例えば100nm前後である。

【0021】(5) 続いて、図2(b)に示すように、このトレンチ5にHDP膜6を埋め込む。基板1を650℃程度に昇温すると埋め込み特性を最適化できる。まず、トレンチ5の側壁の上部に堆積するHDP膜7が、トレンチ5の間口を塞ぐ直前まで、HDP膜6と7を堆積する。例えば膜厚300nm程度堆積すると、HDP膜6で埋め込まれた深さも300nm程度になり、HDP膜7の側壁部の膜厚はその約10分の1の30nm程度になる。開口幅100nmのトレンチ5の両側の側壁に30nmの膜7が堆積すると、残される間口は40nmである。HDP膜6の堆積時のシリコン基板1へのダメージを防ぐため、HDP膜6を埋め込む前に、あらかじめ、このトレンチの内部を膜厚10nm程度酸化しておいてもよい。

【0022】(6) 図2(c)に示すように、希弗酸などのウェット(Wet)エッチング処理、ケミカルドライエッチング(CDE)、又は、フッ酸蒸気(VPC)法などを用いて、側壁に堆積しているHDP膜7をトレンチ5の側面が露出するまでエッチング除去する。同時にHDP膜6と7の全表面は等方的にエッチングされ、膜6の上面もいくらか後退するが、側壁のHDP膜7を剥離する程度のエッチングなら、かなりの膜厚は確保できる。例えば、膜厚30nmの側壁部の膜7を除去すると膜6の上部も深さ30nm程度除去されるが、もとの深さ300nmの1割に過ぎず、深さ270nm分は残される。

【0023】そのため、側壁に堆積した膜7を剥離した後のトレンチ5は底にHDP膜がかなりの膜厚で堆積しているため、この状態から、さらにHDP膜8を堆積すれば、従来、HDP膜では埋め込み不可能なアスペクト比3を超えるトレンチ5を、ボイド(Void)なく埋めることが可能である。

【0024】(7) 図3(a)に示すように、HDP膜8をさらに堆積する。HDP膜8の堆積では、溝5が膜6で埋め込まれアスペクト比が低くなっているため、溝

5内にボイドが発生することは無かった。非常に高いアスペクト比のトレンチで、2度目のHDP膜8の堆積時に、再びボイドができるようであれば、ふたたび、側壁HDP膜8がトレンチ5の間口を塞ぐ前までHDP膜8を堆積し、側壁HDP膜8をエッチングし、さらにHDP膜を堆積する。そして、このことを繰り返すことにより、トレンチ5を完全にHDP膜6と8にて埋め込むことが可能である。

【0025】(8) 続いて、図3(b)に示すように、シリコン酸化膜8と7をケミカルメカニカルポリッシング(CMP)法にてマスク材3の高さまで研磨する。

【0026】(9) 図4(a)に示すように、その後、希弗酸によるエッチング処理などで、酸化膜9の表面を落とし込む。続いて、図4(b)に示すように、マスク材を除去する。最後に、図4(c)に示すように、バッファ酸化膜2を除去する。こうして、シャロウ・トレンチ・アイソレーション(STI)による素子分離領域6と9が形成できる。

【0027】HDP膜6と9は、堆積後、熱処理をかけずとも、熱酸化膜と同程度の弗酸のエッチングレートを持っており、均質かつ緻密で吸湿することもない。この点、コンベンショナルなCVD法やスピノングラス(SOG)法で形成されるシリコン酸化膜と異なり、STI用の絶縁膜に好適な膜である。また、3程度のアスペクト比のトレンチを埋め込めるという利点があり、STIの絶縁膜に用いるのに最適な膜であった。本発明によって、従来、HDP膜での埋め込み不可能な3を超える高アスペクト比のトレンチをHDP膜に埋め込むことが可能になる。そして、今後、半導体装置の微細化に伴う3を超える高アスペクト比のSTIをHDP膜にて製造することができる。

【0028】(実施例1の第2の実施の形態) 第1の実施の形態において、トレンチ5の側壁のHDP膜7をエッチングした後の形状は、図2(c)に示すように、マスク材3上に堆積したHDP膜7は丸まっている。2度目のHDP膜8を堆積させる際に、この丸まりの斜め傾斜が上方から飛来するイオンを反射させ、トレンチ5の側壁の堆積を助長する。そのため、2度目の埋め込みとなるHDP膜8のボイド無くトレンチ5を埋め込む限界は、丸まりのない単純なトレンチをボイド無く埋め込む限界よりは劣化することになる。そこで、2度目のHDP膜8を堆積する際の、埋め込み限界を劣化させずさらに上げるため、2度目のHDP膜8を堆積する前に以下の工程を追加する。

【0029】以下に実施例1の第2の実施の形態に係る半導体装置の製造方法を説明する。第2の実施の形態に係る半導体装置の製造方法は、第1の実施の形態に係る半導体装置の製造方法と図2(c)に示す工程(6)まで同じである。

【0030】(1) 次に、図5(a)に示すように、フ

ォトレジスト10を塗布する。

【0031】(2) このレジスト10をある程度露光し、現像すれば、図5(b)に示すように、トレンチ5の中のみにレジスト11を残すように、レジスト11を落としこむことができる。また、この落とし込みはレジスト10をCDE法で全面エッチバックしても得られる。

【0032】(3) 図6(a)に示すように、希弗酸などのウェットエッチング処理または、CDE法にて選択的に、マスク材3の上のいわゆるトレンチ5の開口面上のHDP膜7のみをこの開口面が露出するまで除去する。

【0033】(4) 図6(b)に示すように、トレンチ5内のフォトレジスト11を、CDE法にて選択的に除去する。

【0034】(5) 図6(c)に示すように、HDP膜8をさらに堆積する。HDP膜8の堆積では、マスク材3上の丸まったHDP膜7がないので、トレンチ5の底にHDP膜6が堆積され、埋め込まれていないトレンチのアスペクト比が3以下であれば、2度目のHDP膜8の堆積でトレンチを完全に埋め込むことができる。なお、非常に高アスペクト比のトレンチで、2度目のHDP膜8の堆積時に、再びボイドができるようであれば、ふたたび上記の第2の実施の形態の製造方法を繰り返すことにより、トレンチを完全にHDP膜にて埋め込むことが可能である。

【0035】最後に、第1の実施の形態と同様に、工程(8)の図3(b)に示すように、シリコン酸化膜8をCMP法にてマスク材3の高さまで研磨する。工程(9)の図4(a)乃至(c)に示すように、酸化膜9の表面を落とし込み、マスク材3を除去し、バッファ酸化膜2を除去する。以上でSTIによる素子分離領域6と9が形成できる。

【0036】(実施例1の第3の実施の形態) 第3の実施の形態では、HDP膜の堆積時のシリコン基板1へのダメージを防ぐことが可能な半導体装置の製造方法を提供する。第3の実施の形態では、HDP膜6堆積時のシリコン基板1へのダメージを防ぐために、まず、第1段として、HDP膜6を埋め込む前に、図7(a)に示すように、このトレンチ5の内部を膜厚10nm程度酸化し、酸化膜12を形成する。そして、図7(b)に示すように、HDP膜6と7を堆積する。図7(c)に示すように、側壁に堆積したHDP膜7を除去する際に、そのトレンチ5内の上部に位置する酸化膜12も同時に除去されてしまう。この状態で2度目のHDP膜8の堆積を行うと、2度目の堆積時は、シリコン基板がむき出しになっており、HDP膜8の堆積時のシリコン基板1へのダメージを防ぐことが出来ない。そのため第2段のダメージ対策として、2度目のHDP膜8を埋め込む前に、図8(a)に示すように、ふたたび10nm程度酸

化し、酸化膜33を形成する。これら2段のダメージ対策を追加することにより、HDP膜6と8の堆積時のシリコン基板1へのダメージを防ぐことができる。

【0037】最後は、第1の実施の形態の工程(8)の図3(b)と同様に、図9(a)に示すように、シリコン酸化膜8と7をCMP法にてマスク材3の高さまで研磨する。工程(9)の図4(a)乃至(c)と同様に、まず図9(b)に示すように酸化膜9の表面を落とし込み、マスク材3を除去し、図9(c)に示すようにバッファ酸化膜2を除去する。以上でSTIによる素子分離領域6と9が形成できる。

【0038】なお、本発明の実施例1の第3の実施の形態に係る半導体装置は、図9(c)に示すように、表面に溝5を有する半導体基板1と、その溝5の底面に接し、その溝5の側面の下部に接する裏面を有する絶縁膜12と、その絶縁膜12の表面に、底面と側面が接する絶縁体6と、その溝5の側面の上部に裏面が接し、絶縁膜12の端面に端面が接する絶縁膜33と、その絶縁膜33の表面に側面が接し、絶縁体6の上面に底面が接する絶縁体9とで構成される。

【0039】半導体基板1の溝5がアスペクト比3程度を超える場合に本発明は一層効果的である。半導体基板1の表面に形成された溝の表面の絶縁膜12と33を形成し、溝の内部に絶縁体6と9を積層して埋め込むことにより素子分離領域を形成することができる。

【0040】(実施例1の第4の実施の形態) 第4の実施の形態も、第3の実施の形態と同様に、HDP膜の堆積時のシリコン基板1へのダメージを防ぐことを目的としている。特に、HDP膜6を埋め込む前にトレンチ5内を酸化しておいた場合、側壁に堆積したHDP膜7を除去する際、HDP膜6を埋め込む前にトレンチ5内に形成した酸化膜12も同時に除去されてしまう。この状態で2度目のHDP膜の堆積を行うと、2度目の堆積時は、シリコン基板1がむき出しになっており、HDP膜8堆積時のシリコン基板1へのダメージを防ぐことが出来ない。

【0041】そのため、トレンチ5内を酸化しておく場合、第3の実施の形態の図7(a)の酸化工程の後に、さらに、図10(a)に示すように、シリコン窒化膜(Si3N4)を膜厚10nm程度好ましくは6nm程度をLPCVD法で堆積する。その後は第1および第2の実施の形態と同様に製造する。

【0042】すなわち、(1) 図10(b)に示すように、このトレンチ5にHDP膜6と7を堆積させる。

(2) 図10(c)に示すように、側壁に堆積しているHDP膜7をエッチング除去する。希弗酸によるエッチング処理などのシリコン窒化膜13に対して選択性を持たせて膜7をエッチングすることにより、HDP膜6を埋め込む前にトレンチ5側壁に形成した酸化膜12がエッチングされずに残る。(3) 次に、図11(a)に示

すように、フォトレジスト 10 を塗布する。(4) 図 11 (b) に示すように、トレンチ 5 の中のみにレジスト 11 を残す。(5) 図 12 (a) に示すように、マスク材 3 上の HDP 膜 7 のみを除去する。(6) 図 12 (b) に示すように、トレンチ 5 内のフォトレジスト 11 を除去する。(7) 図 12 (c) に示すように、HDP 膜 8 をさらに堆積する。(8) 図 13 (a) に示すように、シリコン酸化膜 8 を CMP 法にてマスク材 3 の高さまで研磨する。(9) 図 13 (b) と (c) に示すように、酸化膜 9 の表面を落とし込み、マスク材 3 を除去し、バッファ酸化膜 2 を除去する。以上で STI による素子分離領域 6 と 9 が形成できる。そして、基板 1 中に HDP 膜の形成によるダメージ層を形成することがない。

【0043】なお、本発明の実施例 1 の第 4 の実施の形態に係る半導体装置は、図 13 (c) に示すように、表面に溝 5 を有する半導体基板 1 と、その溝 5 の底面と側面に接する裏面を有するシリコン酸化膜 12 と、そのシリコン酸化膜 12 の表面に、裏面が接するシリコン窒化膜 13 と、そのシリコン窒化膜 13 の表面に、底面と側面が接する絶縁体 6 と、そのシリコン窒化膜 13 の表面に側面が接し、絶縁体 6 の上面に底面が接する絶縁体 9 とで構成される。

【0044】半導体基板 1 の溝 5 がアスペクト比 3 程度を超える場合に本発明は一層効果的である。半導体基板 1 の表面に形成された溝 5 の表面に積層される絶縁膜 12 と 13 を形成し、溝の内部に絶縁体 6 と 9 を積層して埋め込むことにより素子分離領域を形成することができる。

【0045】(実施例 1 の第 5 の実施の形態) 第 4 の実施の形態において STI を形成すると、図 13 (c) に示すように、STI 側壁は薄いシリコン酸化膜 12 とその内側に薄いシリコン窒化膜 13 の積層となった構造となる。この場合、酸化膜-窒化膜界面の界面準位に電荷がトラップされ、その電荷、特に、基板 1 表面近傍に位置する電荷が、素子領域の電界に影響を及ぼし、半導体装置の動作に予想外の挙動を与える可能性がある。

【0046】そこで、第 5 の実施の形態では、上記の懸念を回避するため、基板 1 表面近傍に位置するシリコン窒化膜 13 を除去する。

【0047】すなわち、第 4 の実施の形態の図 12

(b) に示すトレンチ 5 内のフォトレジスト 11 を除去した後、図 14 (a) に示すように、露出したシリコン窒化膜 13 を除去する。図 14 (b) に示すように、HDP 膜 8 をさらに堆積する。図 14 (c) に示すように、シリコン酸化膜 8 を CMP 法にてマスク材 3 の高さまで研磨する。図 15 (a) と (b) に示すように、酸化膜 9 の表面を落とし込み、マスク材 3 を除去し、バッファ酸化膜 2 を除去する。以上で STI による素子分離領域 6 と 9 が形成できる。

【0048】なお、第 4 の実施の形態の図 10 (c) に示すトレンチ 5 の側壁上の膜 7 を除去した後に、図 15 (c) に示すように、露出したシリコン窒化膜 13 を除去しても良い。膜 13 の除去には、熱リン酸でエッチングすればよい。この後に、2 度目の HDP 膜 8 を堆積すれば、上記の懸念は回避できる。

【0049】また、本発明の実施例 1 の第 5 の実施の形態に係る半導体装置は、図 15 (b) に示すように、表面に溝 5 を有する半導体基板 1 と、その溝 5 の底面と側面に接する裏面を有するシリコン酸化膜 12 と、そのシリコン酸化膜 12 の表面に、裏面が接するシリコン窒化膜 13 と、そのシリコン窒化膜 13 の表面に、底面と側面が接する絶縁体 6 と、そのシリコン酸化膜 12 の表面に側面が接し、絶縁体 6 の上面とシリコン窒化膜 13 の端面に底面が接する絶縁体 9 とで構成される。

【0050】半導体基板 1 の溝 5 がアスペクト比 3 程度を超える場合に本発明は一層効果的である。半導体基板 1 の表面に形成された溝 5 の表面に積層される絶縁膜 12 と 13 を形成し、溝の内部に絶縁体 6 と 9 を積層して埋め込むことにより素子分離領域を形成することができる。

【0051】(実施例 1 の第 6 の実施の形態) 第 6 の実施の形態は、不揮発性メモリセルのように、図 16

(a) のポリシリコンからなるゲート電極部 15 を STI となるトレンチ 5 と自己整合的に形成し、トレンチ 5 を埋め込む方法について説明する。なお、第 6 の実施の形態は、不揮発性メモリセルに限られず、電界効果トランジスタ (FET) 等にも適用可能である。

【0052】まず、図 16 (a) に示すように、シリコン基板 1 上に、不揮発性メモリセルのトンネル (Tunnel) 酸化膜となる膜厚 10 nm の酸化膜 2、浮遊ゲートの一部となるポリシリコン 15、キャップ材 3 として機能するシリコン窒化膜を順次堆積する。次に、リソグラフィ工程とエッチングにより、素子分離領域となる領域に溝 5 を掘る。具体的にはキャップ材 3、ゲート材料 15、シリコン酸化膜 2 と基板 1 を順次エッチングする。素子分離用の溝 5 と、膜 3 と 15 は自己整合的に形成される事になる。基板 1 中に掘る素子分離用の溝 5 の深さは、例えば 300 nm といった深さである。

【0053】次に、図 16 (b) に示すように、HDP 膜 8 の堆積時の基板 1 へのダメージを防ぐために、HDP 膜 8 を埋め込む前に、予め、このトレンチ 5 の内部を膜厚 10 nm 程度酸化する。この酸化はオゾン (O<sub>3</sub>) 酸化にて行う。通常の酸素又は水蒸気の熱酸化法では、ポリシリコン 15 の方がシリコン基板 1 より酸化レートが高く、ポリシリコン 15 が基板 1 より多く酸化されるため、酸化膜の膜厚がポリシリコンの方が厚くなり、開口が狭くなり埋め込み性が劣化する。オゾン酸化は、ポリシリコンとシリコンとの酸化レートの差が小さく、開口を狭くすることがなく、埋め込み性を向上させること

ができる。また、図7(a)の膜12と図8(a)の膜33の形成に基板1のオゾン酸化を用いても良い。酸化レートの方方位依存性が少ないため、均一な薄膜を形成することができる。

【0054】図16(c)に示すように、HDP膜8を堆積する。酸化膜16の膜厚がポリシリコン15の側壁でも厚くならないので、開口が狭くなり埋め込み性が劣化することはない。オゾン酸化を用いた場合は、HDP膜以外の例えばL P-T E O S法によるシリコン酸化膜の埋め込みでも埋め込み性は良くなる。なお、オゾン酸化による埋め込み性の改善の上限はポリシリコン15の無い図7(a)の溝5の埋め込み性までである。すなわち、オゾン酸化によって埋め込み性は向上するが、オゾン酸化を行う場合であってもアスペクト比が3程度を超えるときは、HDP膜の埋め込みには第1乃至5の実施の形態に記載された埋め込み方法を併用する必要がある。

【0055】なお、第6の実施の形態では、トレンチ5の内部の酸化にオゾン酸化を行ったが、以下に示す酸化法でもポリシリコン15とシリコン基板1との酸化レートの差が小さいという特徴を有し、オゾン酸化と同様の埋め込み性の改善が見られた。その第1の酸化法は、シリコン基板1等の直上において水素(H<sub>2</sub>)と酸素(O<sub>2</sub>)を燃焼させ、基板1を燃焼酸化する方法である。第2の酸化法は、触媒を用いて酸素ラジカル(O\*)を発生させ、この酸素ラジカルでシリコン基板1等を酸化する方法である。これらのオゾン酸化と第1と第2の酸化法の共通点は、酸素ラジカルが発生し、この酸素ラジカルでシリコン基板1等を酸化する点である。オゾン酸化では、オゾンを構成する3つの酸素原子(O)のうち1つの酸素原子が遊離し、酸素ラジカルを発生させる。被酸化物直上での燃焼酸化では、寿命の短い酸素ラジカルを基板1等に供給でき、酸素ラジカルは主たる酸化剤である。酸素ラジカルは大きな酸化力を有し、この酸化力により酸化反応は容易に起こり、酸化速度は酸素ラジカルの供給律速されている。このことにより、酸素ラジカルによる酸化では、酸素ラジカルの供給量が等しいと考えられるポリシリコン15とシリコン基板1において、ほぼ等しい酸化レートが得られる。

【0056】図17(a)に示すように、シリコン酸化膜8をCMP法にてマスク材3の高さまで研磨する。図17(b)と(c)に示すように、酸化膜9の表面を落とし込み、マスク材3を除去する。以上でSTIによる素子分離領域16と9が形成できる。

【0057】また、本発明の実施例1の第6の実施の形態に係る半導体装置は、図17(c)に示すように、表面に溝5を有する半導体基板1と、基板1の表面上に裏面が接するように設けられ、溝5の上に開口部を有する絶縁膜2と、絶縁膜2の表面上に設けられ、溝5の上に開口部を有するポリシリコン膜15と、その溝5の底面

と側面に接し膜15の開口部の側面に接する裏面を有し、膜厚が均一なシリコン酸化膜16と、そのシリコン酸化膜16の表面に、底面と側面が接する絶縁体9とで構成される。半導体基板1の溝5がアスペクト比3程度あるいはそれを超える場合に本発明は一層効果的である。

【0058】(実施例2) 実施例2として、本発明を半導体装置のゲート電極間の埋め込みに適用した場合を説明する。図25(b)は本発明の実施例2に係る半導体装置の断面図である。本発明の実施例2に係る半導体装置は、不揮発性メモリセルを有する半導体装置であり、半導体基板1と、基板1の上部に設けられる複数のゲート電極部と、側面が複数のゲート電極部の側面と接し、基板1上に積層された絶縁膜6、26と9とで構成される。

【0059】基板1の上部にはソース・ドレイン領域となる基板1とは導電型の異なる半導体領域23と25が存在する。ゲート電極部は、基板1上の不揮発性メモリセルのトンネル(Tunnel)酸化膜となる膜厚10nmの酸化膜2と、膜2上の浮遊ゲートの一部となる膜厚125nmのポリシリコン15と、ポリシリコン15上の膜厚10nmのONO膜などの絶縁膜17と、膜17上の制御電極となる膜厚125nmのポリシリコン22と膜厚100nmのタングステンシリコン(WSi)膜19と、膜19の上のキャップ材として機能する膜厚150nmのシリコン窒化膜3と、これらの側面に設けられるスペーサとして機能する膜厚20nmのシリコン窒化膜24とで構成される。ゲート電極部のピッチは200nmで、そのライン・アンド・スペースは100nmと100nmである。半導体基板1を底面とし、複数のゲート電極部の側壁を側面とする溝は、開口幅が60nm、深さが520nm、アスペクト比が3を超え8に達する。なお、実施例2は、不揮発性メモリセルに限られず、電界効果トランジスタ(FET)等にも適用可能である。

【0060】図18乃至25は、本発明の実施例2に係る半導体装置の製造方法を示す工程断面図である。実施例2の半導体装置の製造方法は、高アスペクト比のトレンチを形成するゲート電極間にHDP膜を埋め込む方法である。まず、HDP膜を高アスペクトのトレンチの途中まで埋め込む。次に、トレンチの開口部近傍に堆積したHDP膜をエッチングし再度HDP膜を堆積することを1回又は複数回繰り返す。ことにより、従来ではHDP膜での埋め込み不可能な高アスペクトのトレンチをHDP膜にて埋め込む方法である。

【0061】(1) まず、図18(a)に示すように、p型シリコン(Si)基板1上に、不揮発性メモリセルのトンネル(Tunnel)酸化膜となる膜厚10nmの酸化膜2、浮遊ゲートとなるポリシリコン15、ONO膜17、制御電極となるポリシリコン18とWSi膜

19、キャップ材として機能するシリコン窒化膜3を順次堆積する。

【0062】(2) 次に、素子毎にゲート電極を分離する。図18(b)に示すように、リソグラフィ工程とエッチングにより、溝5を掘る。具体的にはキャップ材3、WSi膜19、ポリシリコン18、ONO膜17、ポリシリコン15、トンネル酸化膜2を順次エッチングする。

【0063】(3) 図19(a)に示すように、酸化膜20乃至22を例えば熱酸化法により形成する。この膜厚は例えば10nmといった膜厚である。

【0064】(4) 図19(b)に示すように、キャップ材3をマスクに基板1にイオン注入を行いn型半導体領域23を形成する。

【0065】(5) 図20(a)に示すように、シリコン窒化膜をCVD法で膜厚20nm程度成膜し、反応性イオンエッチング(RIE)法で全面エッチバックすることにより、シリコン窒化膜のスペーサ層24を形成する。

【0066】(6) 図20(b)に示すように、キャップ材3をマスクに基板1にイオン注入を行いn型半導体領域25を形成する。このことにより、ソース・ドレイン領域となる半導体領域23と25が形成できる。

【0067】(7) 図21(a)に示すように、このトレンチ5にHDP膜6を埋め込む。トレンチ5の側壁の上部に堆積するHDP膜7が、トレンチ5の間口を塞ぐ直前まで、HDP膜6と7を堆積する。例えば開口幅が60nmであれば、膜厚200nm程度堆積すると、HDP膜6で埋め込まれた深さも200nm程度になり、HDP膜7の側壁部の膜厚はその約10分の1の20nm程度になる。開口幅60nmのトレンチ5の両側の側壁に20nmの膜7が堆積すると、残される間口は10nmである。

【0068】(8) 図21(b)に示すように、希弗酸などのウェット(Wet)エッチング処理、ケミカルドライエッチング(CDE)、又は、フッ酸蒸気(VPC)法などを用いて、側壁に堆積しているHDP膜7をエッチング除去する。同時にHDP膜6と7の全表面は等方的にエッチングされ、膜6の上面もいくらか後退する。例えば、膜厚20nmの側壁部の膜7を除去すると膜6の上部も深さ20nm程度除去されるが、もとの深さ200nmの1割に過ぎず、深さ180nm分は残される。

【0069】(9) 次に、フォトリジストを全面に塗布し、レジスト10をCDE法で全面エッチバックする。図22(a)に示すように、トレンチ5の中のみにレジスト11を残す。

【0070】(10) 図22(b)に示すように、希弗酸などのウェットエッチング処理にて選択的に、マスク材3上のHDP膜7のみを除去する。

【0071】(11) 図23(a)に示すように、トレンチ5内のフォトリジスト11を、CDE法にて選択的に除去する。

【0072】(12) 図23(b)に示すように、HDP膜26をさらに堆積する。HDP膜26の堆積も、膜6と同様に堆積できる。すなわち、開口幅が膜6の堆積時と同様に60nmなので、膜厚200nm程度堆積でき、HDP膜26で埋め込める深さも200nm程度になる。HDP膜27の側壁部の膜厚も20nm程度になるので、間口も10nm程度残される。膜6と26を合わせた合計の埋め込み深さは380nmに達する。

【0073】(13) 図24(a)に示すように、希弗酸などのウェット(Wet)エッチング処理などを用いて、側壁に堆積しているHDP膜27をエッチング除去する。同時にHDP膜26と27の全表面は等方的にエッチングされ、膜6の上面もいくらか後退する。膜厚20nmの側壁部の膜27を除去すると膜26の上部も深さ20nm程度除去されるが、もとの深さ200nmの1割に過ぎず、深さ180nm分は残され、膜6と26を合わせた合計の深さは360nmになる。

【0074】(14) 次に、工程(9)乃至(11)を再度行い、図24(b)に示すように、マスク材3上のHDP膜27のみを除去する。

【0075】(15) 図25(a)に示すように、HDP膜8をさらに堆積する。HDP膜8の堆積では、埋め込まれていない溝5の残りの深さが160nm、開口幅は60nmでアスペクト比が3以下になるので、HDP膜8の堆積でトレンチ5を完全に埋め込むことができる。

【0076】(16) 最後に、図25(b)に示すように、シリコン酸化膜8をCMP法にてマスク材3の高さまで研磨する。

【0077】(実施例3) 実施例3として、本発明を半導体装置のメタル配線間の埋め込みに適用した場合を説明する。図30は本発明の実施例3に係る半導体装置の断面図である。本発明の実施例3に係る半導体装置は、半導体基板1と、基板1上に設けられた層間絶縁膜28と、膜28上に設けられた複数のメタル配線29乃至31と、側面が複数のメタル配線29乃至31の下方の側面と接し、膜28上に積層された絶縁膜6と、複数のメタル配線29乃至31の上方の側面と接し、膜6とメタル配線29乃至31の上に設けられる絶縁膜8とで構成される。

【0078】メタル配線29乃至31は、膜28上の膜厚40nmの窒化チタン膜29と、膜29上の膜厚240nmのアルミニウム合金膜30と、膜30上の膜厚20nmの窒化チタン膜31とで構成される。メタル配線29乃至31のピッチは200nmで、そのライン・アンド・スペースは100nmと100nmである。膜28を底面とし、複数のメタル配線29乃至31の側壁を

側面とする溝は、開口幅が100nm、深さが300nm、アスペクト比が3である。

【0079】図26乃至30は、本発明の実施例3に係る半導体装置の製造方法を示す工程断面図である。実施例3の半導体装置の製造方法は、高アスペクト比のトレンチを形成するメタル配線間にHDP膜を埋め込む方法である。

【0080】(1) まず、図26(a)に示すように、シリコン基板1上に、層間絶縁膜28、窒化チタン膜29、アルミニウム合金膜30、窒化チタン膜31を順次堆積する。

【0081】(2) 次に、配線毎に分離する。図26(b)に示すように、リソグラフィ工程とエッチングにより、溝5を掘る。具体的には窒化チタン膜31、アルミニウム合金膜30、窒化チタン膜29を順次エッチングする。

【0082】(3) 図27(a)に示すように、このトレンチ5にHDP膜6を埋め込む。埋め込み時の基板1の温度は450℃程度にする。埋め込み性が劣化するにもかかわらず、実施例1及び2の650℃より温度を下げるのは、アルミニウム合金膜30の耐熱温度の上限が450℃程度だからである。埋め込み性の劣化の程度だが、埋め込み可能なアスペクト比で650℃の3程度から450℃では2程度に低下する。トレンチ5の側壁の上部に堆積するHDP膜7が、トレンチ5の間口を塞ぐ直前まで、HDP膜6と7を堆積する。開口幅が100nmであれば、膜厚150nm程度堆積すると、HDP膜6で埋め込まれた深さも150nm程度になり、HDP膜7の側壁部の膜厚はその約5分の1の30nm程度になる。開口幅100nmのトレンチ5の両側の側壁に30nmの膜7が堆積すると、残される間口は40nmである。

【0083】(4) 図27(b)に示すように、CDE法を用いて側壁に堆積しているHDP膜7をエッチング除去する。同時にHDP膜6と7の全表面は等方的にエッチングされ、膜6の上面もいくらか後退する。例えば、膜厚30nmの側壁部の膜7を除去すると膜6の上部も深さ30nm程度除去されるが、もとの深さ150nmの2割に過ぎず、深さ120nm分は残される。

【0084】(5) 次に、フォトリソストを全面に塗布し、レジストをCDE法で全面エッチバックし、図28(a)に示すように、レジスト11を溝5に埋め込む。

【0085】(6) 図28(b)に示すように、レジスト11をマスクにCDE法を行い、配線31上のHDP膜7のみを除去する。

【0086】(7) 図29(a)に示すように、トレンチ5内のフォトリソスト11を、CDE法にて選択的に除去する。

【0087】(8) 図29(b)に示すように、HDP膜8をさらに堆積する。HDP膜8の堆積では、埋め込

まれていない溝5の残りの深さが180nm、開口幅は100nmでアスペクト比が2以下になるので、HDP膜8の堆積でトレンチ5を完全に埋め込むことができる。

【0088】(9) 最後に、図30に示すように、シリコン酸化膜8をCMP法にて平坦にする。

【0089】(実施例1の第7の実施の形態) 実施例1の第7の実施の形態も、実施例1の第3の実施の形態と同様に、HDP膜の堆積時のシリコン基板1へのダメージを防ぐことを目的としている。特に、HDP膜7を埋め込む前にトレンチ5内を酸化しておいた場合、側壁に堆積したHDP膜7を除去する際、HDP膜8を埋め込む前にトレンチ5内に形成した酸化膜12も同時に除去されてしまう。この状態で2度目のHDP膜8の堆積を行うと、2度目の堆積時は、シリコン基板1がむき出しになっており、HDP膜8堆積時のシリコン基板1へのダメージを防ぐことが出来ない。

【0090】そのため、トレンチ5内を酸化しておく場合、第3の実施の形態の図7(a)の酸化工程の後に、まず、図32(a)に示すように、HDP膜7を高アスペクトのトレンチ5の途中まで埋め込む。

【0091】次に、図32(b)に示すように、マスク材3上のHDP膜7をトレンチ5の開口面が露出するまでCMP法にて取り除く。このとき、側壁のHDP膜38は残ったままなので、酸化膜12は除去されずにすむ。

【0092】その後、図32(c)に示すように、さらにもう一度HDP膜8を堆積する。CMP法によるマスク材3上のHDP膜7の除去により、トレンチ5のアスペクト比が低くなるので、この状態からHDP膜8を堆積すれば、高アスペクトのトレンチ5はボイド(Void)無く埋めることが可能になる。従来ではHDP膜では埋め込み不可能な高アスペクトのトレンチ5をHDP膜7と8にて埋め込むことができる。

【0093】図33(a)に示すように、シリコン酸化膜8をCMP法にてマスク材3の高さまで研磨する。トレンチ5の中には絶縁体38と39が埋め込まれる。

【0094】図33(b)と(c)に示すように、酸化膜38と39の表面を希弗酸などのウェット(Wet)処理により落とし込み、マスク材3を除去し、バッファ酸化膜2を除去する。以上でSTIによる素子分離領域38と39が形成できる。そして、基板1中にHDP膜8の形成によるダメージ層を形成することがない。

【0095】なお、本発明の実施例1の第7の実施の形態に係る半導体装置は、図33(c)に示すように、表面に溝5を有する半導体基板1と、その溝5の底面と側面に接する裏面を有するシリコン酸化膜12と、そのシリコン酸化膜12の表面に、底面と側面が接する絶縁体38と、その絶縁体38の表面に、底面と側面が接する絶縁体39とで構成される。

【0096】半導体基板1の溝5がアスペクト比3程度を超える場合に本発明は一層効果的である。半導体基板1の表面に形成された溝5の表面に積層される絶縁膜12を形成し、溝5の内部に絶縁体38を埋め込み、絶縁体39の内部に絶縁体39を埋め込むことにより素子分離領域38と39を形成することができる。

【0097】HDP膜は、堆積後、熱処理をかけずとも、熱酸化膜と同程度の弗酸のエッチングレートを持っており、また、ある程度高アスペクトのトレンチも埋め込み可能であるという利点があり、STIの絶縁膜に用いるには最適な膜である。本発明によって、従来、HDP膜での埋め込み不可能な高アスペクトのトレンチをHDP膜で埋め込むことが可能になるため、今後の半導体装置の微細化に伴う高アスペクトのSTIをHDP膜にて製造することができる。

【0098】(実施例4) 実施例4では、内部の低耐圧回路の素子分離領域(STI)を製造する過程で、周辺部の高耐圧回路の素子分離領域も製造することが可能な半導体装置の製造方法について説明する。

【0099】ゲート電極と素子分離領域を自己整合的に形成する場合には、STIを形成する以前に、ウェルを形成するためのイオン注入を行う。その際には、イオン注入をする領域を限定するため、イオンを注入しない部分には、フォトリソグロフィーの合わせを行うためのマークを形成する必要がある。そのマークを形成するときに、高い素子分離耐性を持つSTIが必要な素子分離領域の一部分に深いSTIが形成できる。

【0100】低耐圧回路と高耐圧回路のゲート電極と素子分離領域は、自己整合的に形成される。この時、高耐圧回路の素子分離耐性の高いSTIの形成方法として、まず、深いSTIが必要な素子分離領域の一部に、深くて狭いトレンチを形成し、絶縁膜を埋め込む。次に、この素子分離領域のマスク材とゲート絶縁膜を除去し、深くて狭いトレンチに埋め込まれた絶縁膜をエッチバックする。その後、この素子分離領域に浅くて幅の広いトレンチを形成し、絶縁膜を埋め込む。このことにより、素子分離耐性を要求される部分に深いSTIが形成できる。

【0101】図34乃至図38は、実施例4の高い素子分離耐性が必要な素子分離領域に、深いSTIを製造する半導体装置の製造方法を説明するための図である。図34乃至図38の(a)(d)(g)は、製造工程毎の半導体装置の内部回路領域の断面図である。(b)

(e)(h)は、同様に周辺高耐圧回路領域の断面図である。(c)(f)(i)は、同様にマスク合わせ用マークの領域である。

【0102】まず、図34(a)(b)(c)に示すように、半導体基板1上に熱酸化法によりパッファ絶縁膜

2としてシリコン酸化膜(SiO<sub>2</sub>)を形成する。次に、マスク材3として、例えば、窒化シリコン膜(Si<sub>3</sub>N<sub>4</sub>)を熱CVD法で堆積する。

【0103】続いて、図34(e)に示すように、高耐圧回路領域にフォトリソグロフィー法で深いSTIを形成する領域のパターン形状にフォトリソグロフィーの開口41を形成する。また、図34(f)に示すように、マスク合わせ用マーク領域に、フォトリソグロフィーで合わせマークのパターン形状を有する開口42も同時に形成する。図34(d)に示すように、内部の低耐圧回路領域には、フォトリソグロフィーをマスク材3上の全面に形成し、レジスト4には開口は形成しない。

【0104】次に、図34(h)(i)に示すように、フォトリソグロフィーをマスクとしてマスク材3とパッファ絶縁膜2を反応性イオンエッチング(RIE)法でエッチングする。STIを形成する領域のパターン形状を有する開口41と合わせマークのパターン形状を有する開口42を、マスク材3に形成する。一方、低耐圧回路領域は、図34(g)に示すように、このエッチングの際にマスク材3はエッチングされない。

【0105】さらに、図35(b)に示すように、半導体基板1と絶縁膜2をエッチングして深いSTI(素子分離領域)となるトレンチ41を形成する。同時に、図35(c)に示すように、マーク部のシリコン基板1と絶縁膜2もエッチングされてマークとなる溝42が形成される。トレンチ41と溝42の基板1の表面から底までの深さは0.6μmである。また、トレンチ41と溝42の幅は2μmである。一方、低耐圧回路領域は、図35(a)に示すように、このエッチングの際には、マスク材3にマスクされシリコン基板1と絶縁膜2とはエッチングされない。

【0106】続いて、図35(e)(f)に示すように、このトレンチ41と溝42に素子分離用の絶縁膜43と44(例えばHDP膜)を埋め込み、さらに絶縁膜43と44をCMP法にてマスク材3の高さまで研磨する。そして、希弗酸(HF)によるエッチング処理などで、酸化膜43と44の表面を、マスク材3の表面より落とし込む。一方、低耐圧回路領域は、図35(d)に示すように、これらの埋め込みや研磨の際には、マスク材3に保護されシリコン基板1と絶縁膜2とは研磨やエッチングされない。

【0107】続いて、図35(g)(h)(i)に示すように、マスク材3とパッファ酸化膜2を除去する。

【0108】そして、ウェルを形成するためのイオン注入を行う。まず、フォトリソグロフィー法で、図36(a)(b)に示すように、イオン注入する領域を限定するフォトリソグロフィー45のパターンを形成する。フォトリソグロフィー45のパターンは、図36(c)に示すように、半導体基板1に形成されたマーク42とレジスト45に形成されるマークとを合わせるように配置される。

次ぎに、不純物のイオン注入を行う。イオンビーム 46 を照射する。

【0109】続いて、図 36 (d) (e) (f) に示すように、半導体基板 1 上にゲート絶縁膜 47 を熱酸化により形成する。そして、絶縁膜 47 の上にゲート電極材 48 としてポリシリコン膜を堆積する。続いて、ポリシリコン膜 48 の上にマスク材 49 として例えば窒化シリコン膜を堆積する。

【0110】図 36 (g) (h) に示すように、フォトリソグラフィ法によりフォトレジスト 50 の STI のパターン形状の開口 51 と 52 を形成する。フォトレジストの開口 51 と 52 のパターンは、図 36 (i) に示すように、マークとなる酸化膜 44 とレジスト 50 に形成されるマーク 53 とを合わせるように配置される。

【0111】次に、図 37 (a) (b) (c) に示すように、フォトレジスト 50 をマスクとしてマスク材 49 とゲート電極材 48 を RIE 法でエッチングする。STI を形成する領域のパターン形状を有する開口 51 と 52 を、マスク材 49 とゲート電極材 48 に形成する。

【0112】図 37 (d) (e) (f) に示すように、露出するゲート絶縁膜 47 をエッチングする。さらに、深いトレンチ 41 と 53 に埋まっていた絶縁膜 43 と 44 をある程度までエッチバックする。

【0113】その後、図 37 (g) (h) に示すように、半導体基板 1 をエッチングして素子分離領域となるトレンチ 51 と 52 を形成する。この時、マーク領域では、図 37 (i) に示すように、シリコン基板 1 はほとんどエッチングされない。トレンチ 51 と 52 の基板 1 の表面から底までの深さは 0.3  $\mu\text{m}$  である。また、トレンチ 51 の幅は 0.1  $\mu\text{m}$  から 0.5  $\mu\text{m}$  である。トレンチ 52 の幅は 4  $\mu\text{m}$  から 8  $\mu\text{m}$  である。なお、この幅が大きくなるほど大きな素子間の耐圧が得られる。そして、幅が 4  $\mu\text{m}$  程度でも 20 V 以上の耐圧が得られる。

【0114】続いて、図 38 (a) (b) (c) に示すように、このトレンチ 51 と 52 とマークとなる開口 53 に素子分離の絶縁膜 54 と 55 と 56 (例えば HDP 膜) を埋め込む。こうして、高い素子分離耐性を要求される高耐圧回路領域には深い STI (43 と 55) が、また、それ以外の低耐圧回路領域は STI 絶縁膜の埋め込みに有利な浅い STI 54 を用いた素子分離領域が形成される。マーク領域は、図 38 (c) に示すように、開口 53 も絶縁膜 56 で埋め込まれる。

【0115】このように、ゲート電極と素子分離領域を自己整合的に形成する場合には、STI を形成する以前に、ウェルを形成するためのイオン注入が必要になる。そのため、ゲート電極と素子分離領域を自己整合的に形成する場合には、ウェルを形成するためのイオン注入以前に、フォトリソグラフィの合わせを行うためのマークを形成する必要がある。そのマークを形成すると同時

に、高い素子分離耐性を持つ STI が必要な部分には、深いトレンチを形成できるため、わずかな工程増にて、深い STI と浅い STI を作り分けることができる。

【0116】なお、実施例 4 の半導体装置は、図 38 (a) 乃至 (c) に示すような構造を有している。

【0117】まず、図 38 (a) に示すように、内部の低耐圧回路領域には、半導体基板 1 と、その基板 1 の上に設けられるゲート絶縁膜 47 となるシリコン酸化膜と、そのシリコン酸化膜 47 の上に設けられるゲート電極材 48 となるポリシリコン膜と、そのポリシリコン膜 48 の上に設けられるマスク材 49 となるシリコン窒化膜と、これらシリコン窒化膜 49、ポリシリコン膜 48 とシリコン酸化膜 47 を貫通して、基板 1 の内部にまで達し、基板 1 の表面を囲むように配置された絶縁体 54 とが設けられている。なお、この絶縁体 54 は、底面は基板 1 と接し、側面は平面で基板 1 と膜 47、48、49 に接する。絶縁体 54 の上面は膜 49 の上面と同一平面上に設けられている。

【0118】次ぎに、図 38 (b) に示すように、周辺の高耐圧回路領域には、半導体基板 1 と、その基板 1 の上に設けられるゲート絶縁膜 47 となるシリコン酸化膜と、そのシリコン酸化膜 47 の上に設けられるゲート電極材 48 となるポリシリコン膜と、そのポリシリコン膜 48 の上に設けられるマスク材 49 となるシリコン窒化膜と、これらシリコン窒化膜 49、ポリシリコン膜 48 とシリコン酸化膜 47 を貫通して、基板 1 の内部にまで達し、基板 1 の表面を囲むように配置された絶縁体 55 と、この絶縁体 55 の下部に接して基板 1 に埋め込まれた絶縁体 43 とが設けられている。なお、絶縁体 55 は、底面は基板 1 と絶縁体 43 に接し、側面は平面で基板 1 と膜 47、48、49 に接する。絶縁体 55 の上面は膜 49 の上面と同一平面上に設けられている。絶縁体 55 の幅は絶縁体 54 の幅より広い。絶縁体 43 の底面の基板 1 の表面からの深さは、絶縁体 54 の底面より深い。絶縁体 43 は、底面と側面は基板 1 に接し、上面は絶縁体 55 に接する。

【0119】最後に、図 38 (c) に示すように、マスク合わせ用マーク領域には、半導体基板 1 と、その基板 1 の上に設けられるゲート絶縁膜 47 となるシリコン酸化膜と、そのシリコン酸化膜 47 の上に設けられるゲート電極材 48 となるポリシリコン膜と、そのポリシリコン膜 48 の上に設けられるマスク材 49 となるシリコン窒化膜と、これらシリコン窒化膜 49、ポリシリコン膜 48 とシリコン酸化膜 47 を貫通して、基板 1 の内部にまで達し、基板 1 の表面を囲むように配置された絶縁体 56 と、この絶縁体 56 の下部に接して基板 1 に埋め込まれた絶縁膜 44 とが設けられている。絶縁体 56 は、底面は絶縁膜 44 に接し、側面は基板 1 と膜 47、48、49 に接する。絶縁体 56 の上面は膜 49 の上面と同一平面上に設けられている。



【0120】上記のように、本発明は4つの実施例と7つの実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

#### 【0121】

【発明の効果】以上説明したように、本発明によれば、高密度プラズマ（HDP）法で埋め込まれた高アスペクト比を有するトレンチを有する半導体装置を提供できる。

【0122】また、本発明によれば、半導体装置の製造過程で形成される高アスペクト比を有するトレンチをHDP法で埋め込むことが可能な半導体装置の製造方法を提供できる。

【0123】HDP膜は、堆積後、熱処理をかけずとも、熱酸化膜と同程度の弗酸のエッチングレートを持っており、また、ある程度高アスペクトのトレンチも埋め込み可能であるという利点があり、STIの絶縁膜に用いるには最適な膜である。本発明によれば、従来のHDP膜で埋め込み不可能な高アスペクトのトレンチをHDP膜で埋め込むことが可能になる。そのため、今後の半導体装置の微細化に伴う高アスペクト比を有するSTIをHDP膜にて製造することができる。

#### 【図面の簡単な説明】

【図1】実施例1（STIのトレンチ埋め込み）の第1の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その1）である。

【図2】実施例1の第1の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その2）である。

【図3】実施例1の第1の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その3）である。

【図4】実施例1の第1の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その4）である。

【図5】実施例1の第2の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その1）である。

【図6】実施例1の第2の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その2）である。

【図7】実施例1の第3の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その1）である。

【図8】実施例1の第3の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その2）である。

【図9】実施例1の第3の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その3）である。

【図10】実施例1の第4の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その1）である。

【図11】実施例1の第4の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その2）である。

【図12】実施例1の第4の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その3）である。

【図13】実施例1の第4の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その4）である。

【図14】実施例1の第5の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その1）である。

【図15】実施例1の第5の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その2）である。

【図16】実施例1の第6の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その1）である。

【図17】実施例1の第6の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その2）である。

【図18】実施例2（ゲート電極間の埋め込み）に係る半導体装置の製造方法の工程毎の断面図（その1）である。

【図19】実施例2に係る半導体装置の製造方法の工程毎の断面図（その2）である。

【図20】実施例2に係る半導体装置の製造方法の工程毎の断面図（その3）である。

【図21】実施例2に係る半導体装置の製造方法の工程毎の断面図（その4）である。

【図22】実施例2に係る半導体装置の製造方法の工程毎の断面図（その5）である。

【図23】実施例2に係る半導体装置の製造方法の工程毎の断面図（その6）である。

【図24】実施例2に係る半導体装置の製造方法の工程毎の断面図（その7）である。

【図25】実施例2に係る半導体装置の製造方法の工程毎の断面図（その8）である。

【図26】実施例3（配線間の埋め込み）に係る半導体装置の製造方法の工程毎の断面図（その1）である。

【図27】実施例3に係る半導体装置の製造方法の工程毎の断面図（その2）である。

【図28】実施例3に係る半導体装置の製造方法の工程毎の断面図（その3）である。

【図29】実施例3に係る半導体装置の製造方法の工程毎の断面図（その4）である。

【図30】実施例3に係る半導体装置の製造方法の工程毎の断面図（その5）である。

【図31】従来の半導体装置の製造途中の断面図である。

【図32】実施例1の第7の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その1）である。

【図33】実施例1の第7の実施の形態に係る半導体装置の製造方法の工程毎の断面図（その2）である。

【図34】実施例4（内部の低耐圧回路と周辺部の高耐圧回路の素子分離）に係る半導体装置の製造方法の工程毎の断面図（その1）である。

【図35】実施例4に係る半導体装置の製造方法の工程毎の断面図（その2）である。

【図 3 6】 実施例 4 に係る半導体装置の製造方法の工程毎の断面図（その 3）である。

【図 3 7】 実施例 4 に係る半導体装置の製造方法の工程毎の断面図（その 4）である。

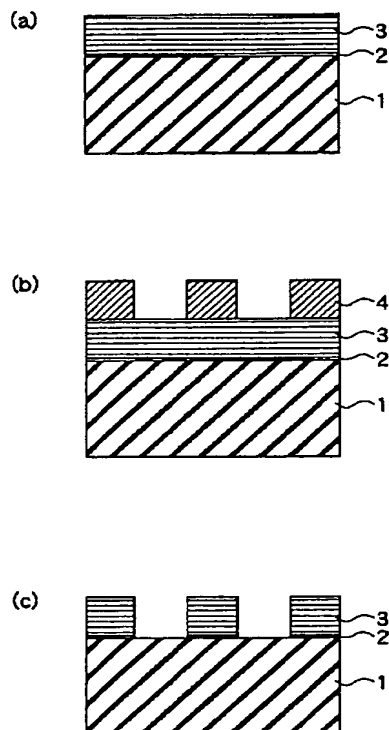
【図 3 8】 実施例 4 に係る半導体装置の製造方法の工程毎の断面図（その 5）である。

【符号の説明】

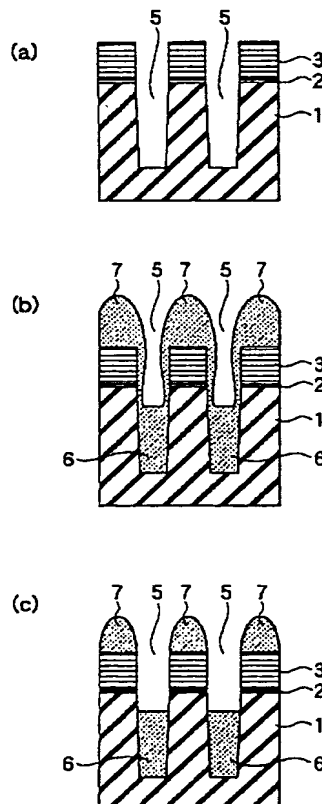
- 1 シリコン基板
- 2 バッファ絶縁膜、ゲート絶縁膜
- 3 マスク材
- 4 フォトリソグ
- 5 溝、トレンチ
- 6、7、9 絶縁体
- 8 絶縁膜
- 10、11 フォトリソグ
- 12、33 シリコン酸化膜
- 13、14 シリコン窒化膜
- 15 ポリシリコン膜、浮遊ゲート
- 16 シリコン酸化膜
- 17 絶縁膜、ONO膜
- 18 ポリシリコン膜、制御ゲート電極

- 19 タングステンシリコン膜、制御ゲート電極
- 20、21、22 シリコン酸化膜
- 23、25 主電極領域、ソース・ドレイン領域
- 24 シリコン窒化膜
- 26、27 絶縁体
- 28 層間絶縁膜
- 29、31 窒化チタン膜
- 30 アルミニウム合金膜
- 32 空隙、ボイド
- 10 36、37、38、39 絶縁体
- 41、42 開口
- 43、44 絶縁体
- 45 フォトリソグ
- 46 注入イオン
- 47 ゲート絶縁膜
- 48 ゲート電極
- 49 マスク材
- 50 フォトリソグ
- 51、52、53 開口
- 20 54、55、56 絶縁体

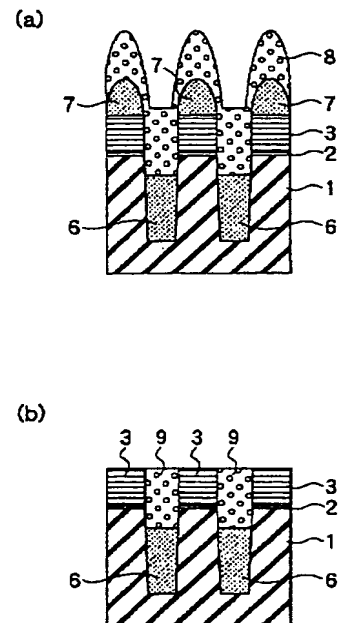
【図 1】



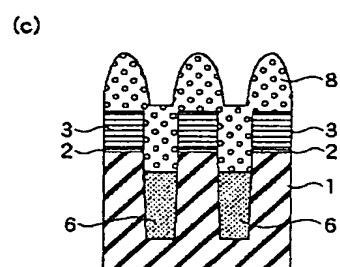
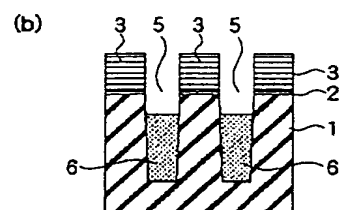
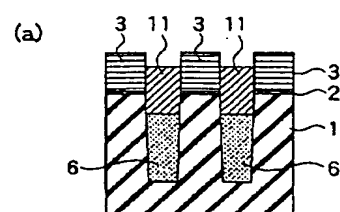
【図 2】



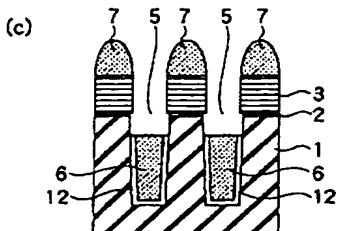
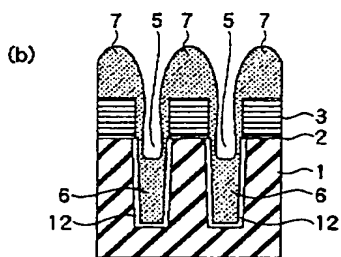
【図 3】



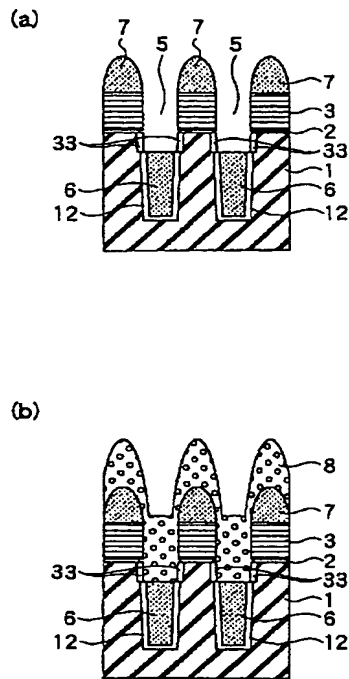
【图 6】



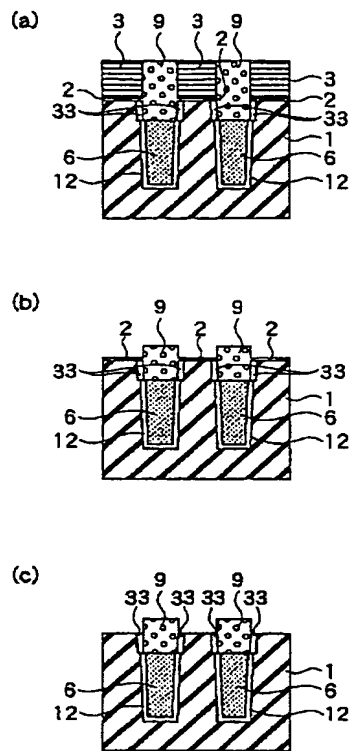
【図 1 1】



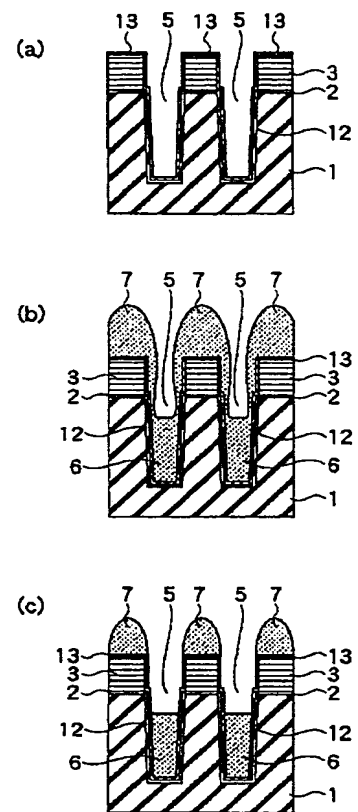
【図8】



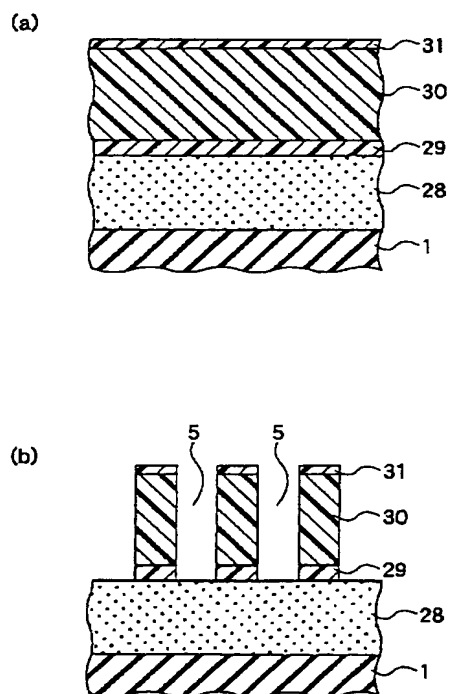
【図9】



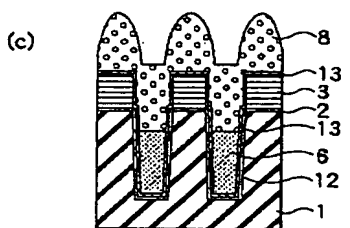
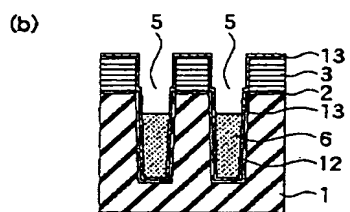
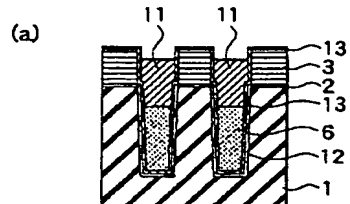
【図10】



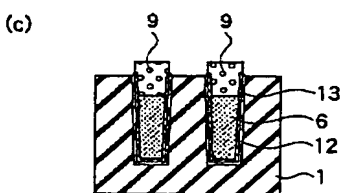
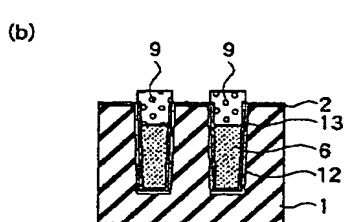
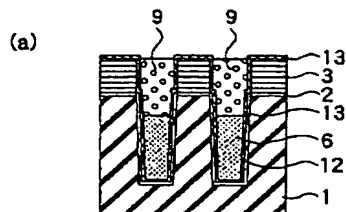
【図26】



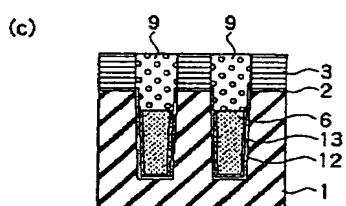
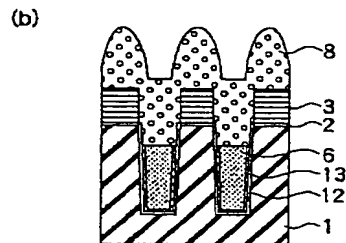
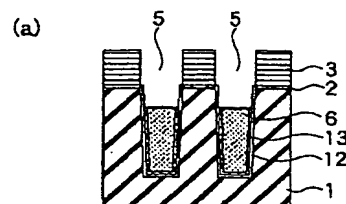
【図 12】



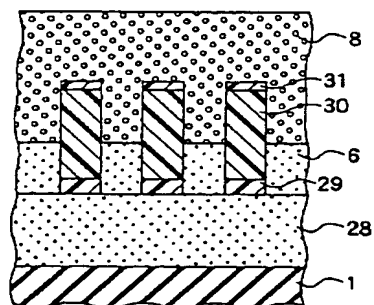
【図 13】



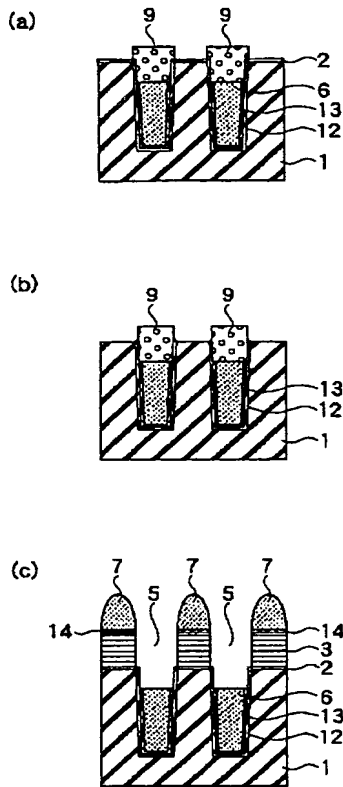
【図 14】



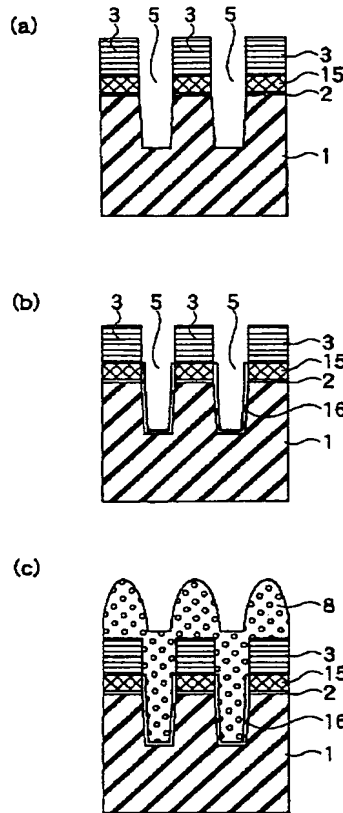
【図 30】



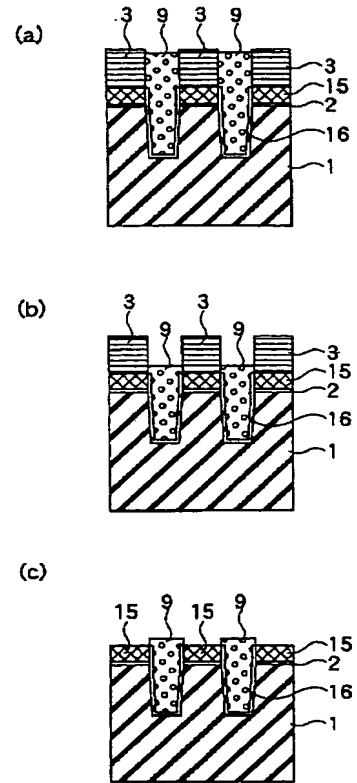
【図15】



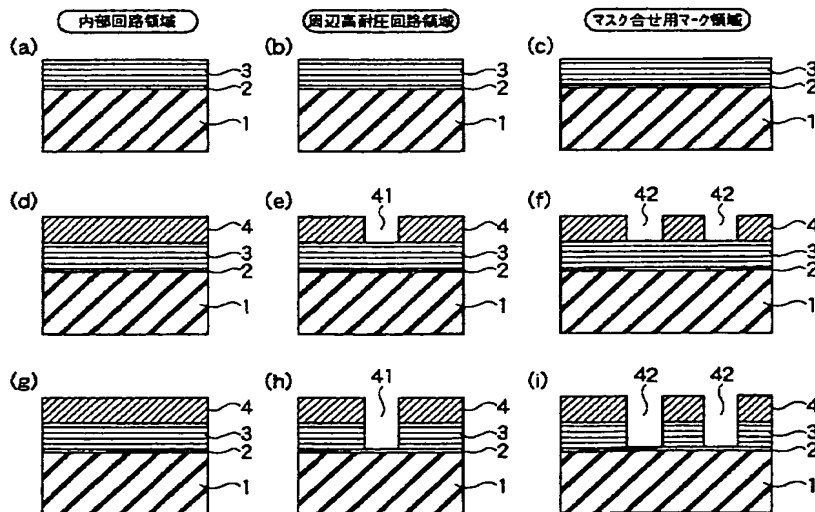
【図16】



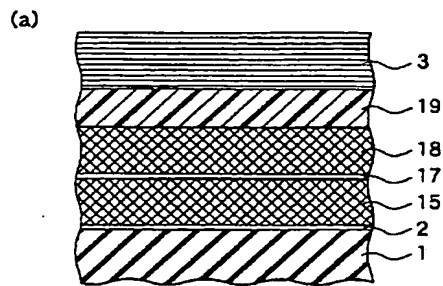
【図17】



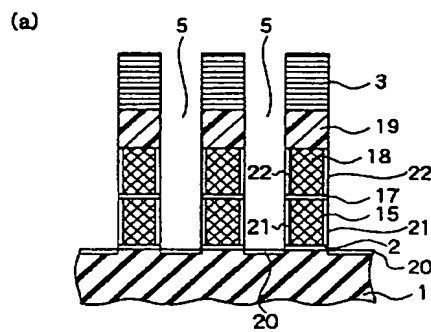
【図34】



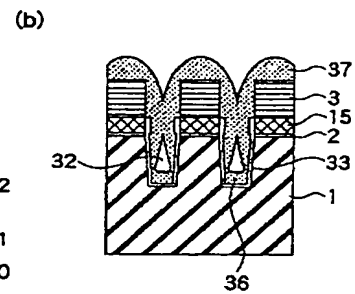
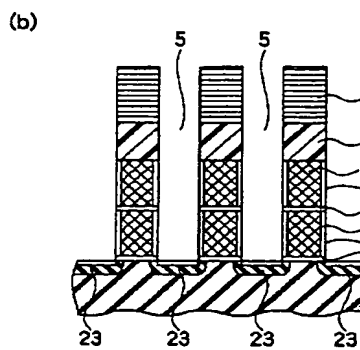
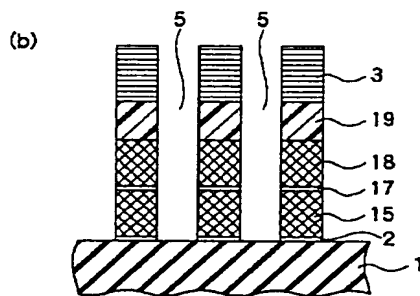
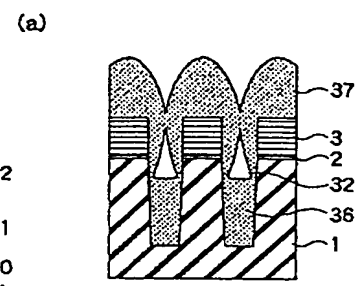
【図18】



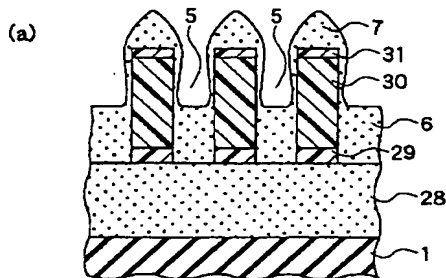
【図19】



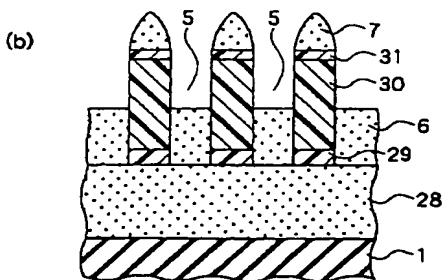
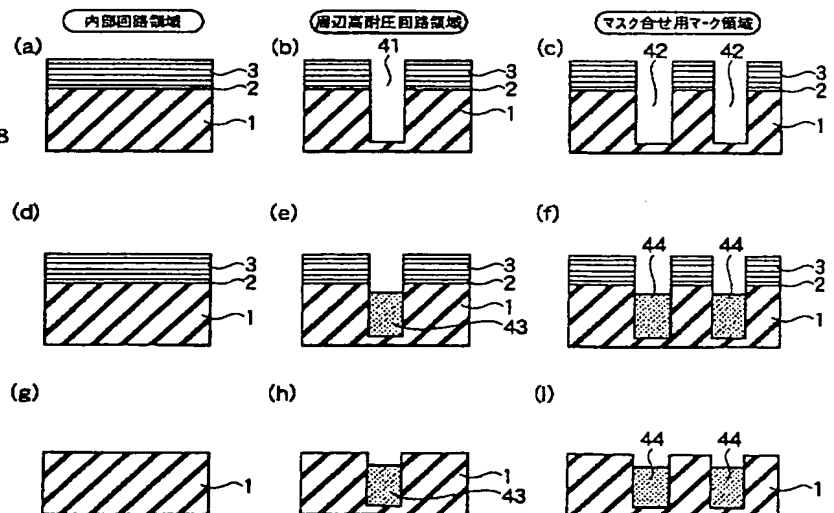
【図31】



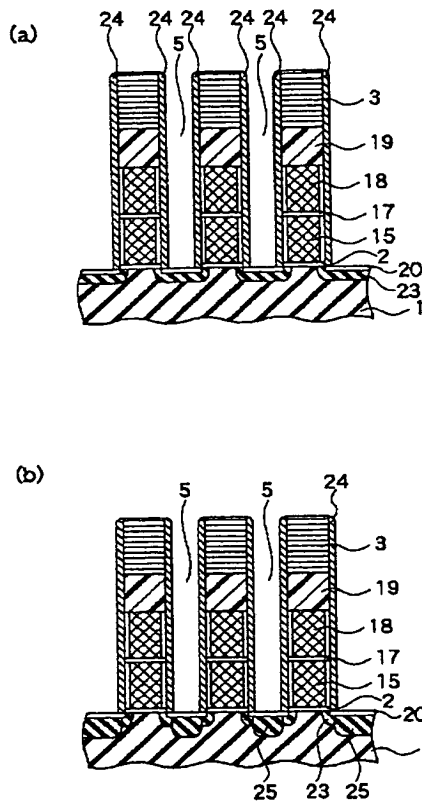
【図27】



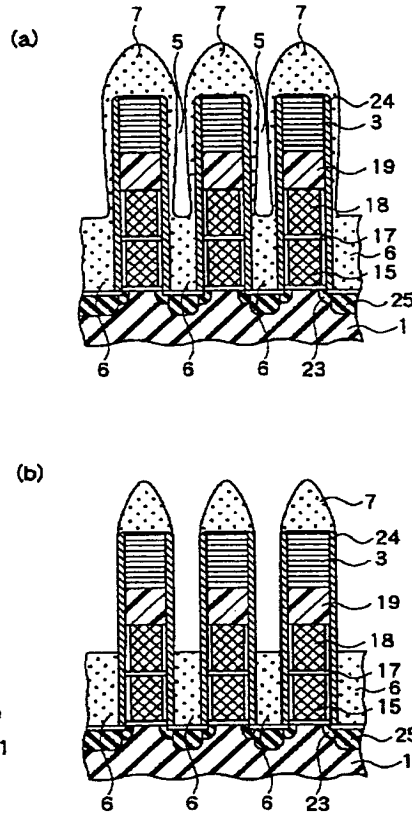
【図35】



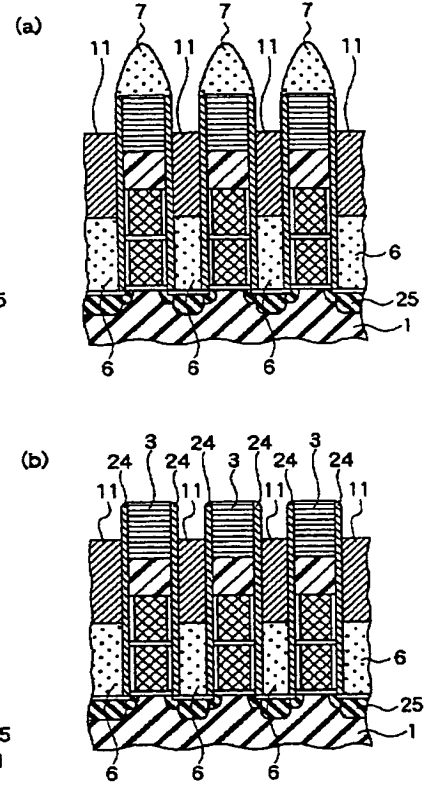
【図20】



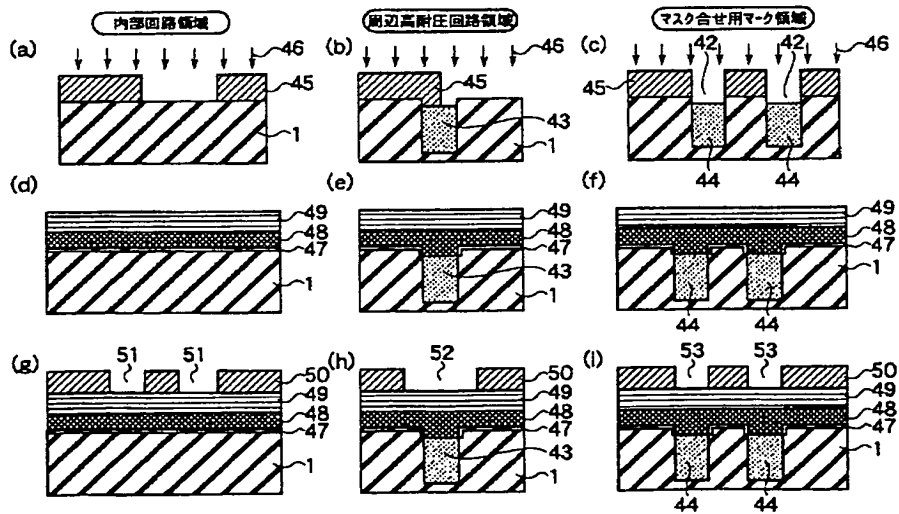
【図21】



【図22】

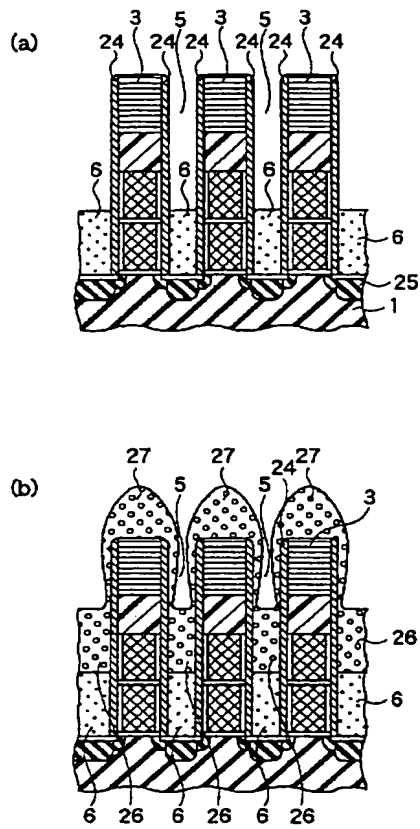


【図36】

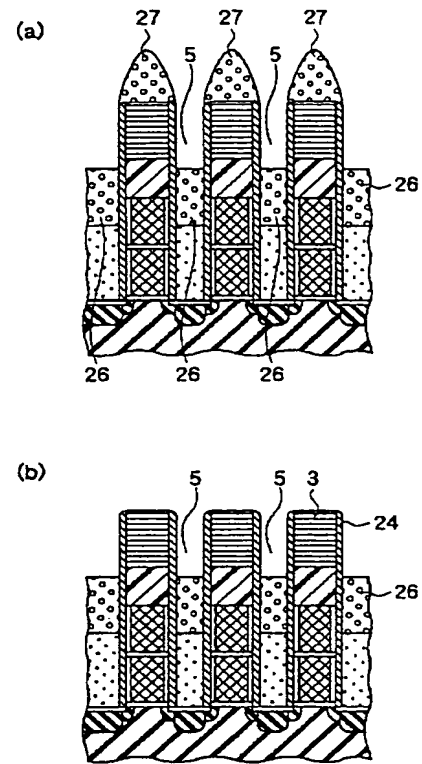




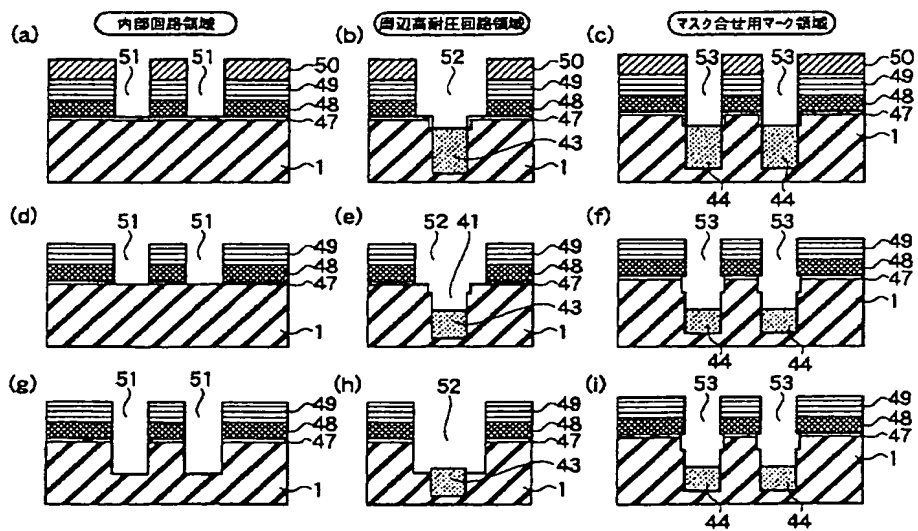
【図23】



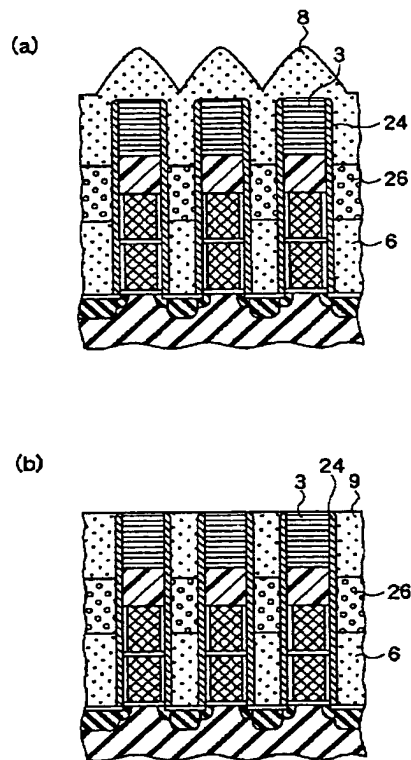
【図24】



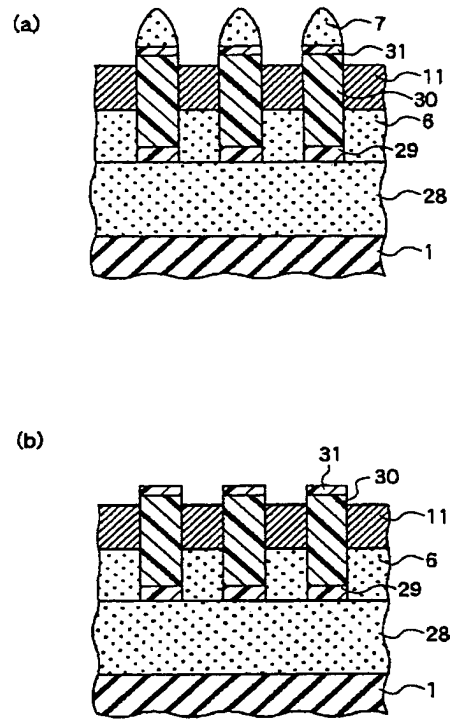
【図37】



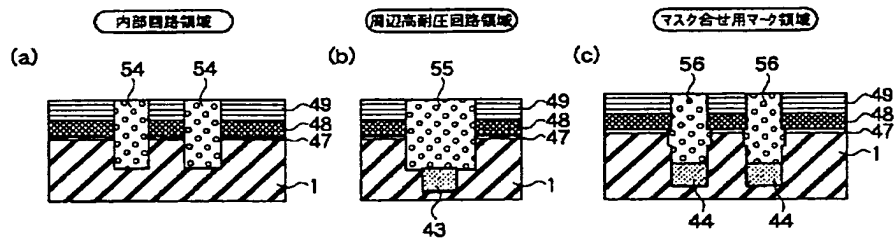
【図25】



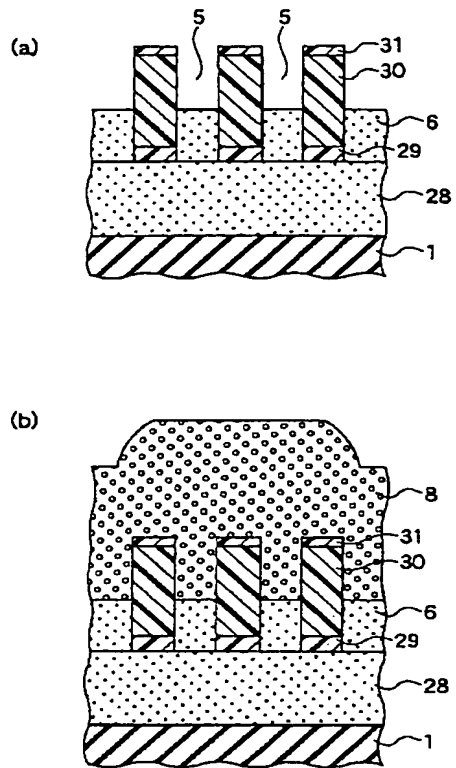
【図28】



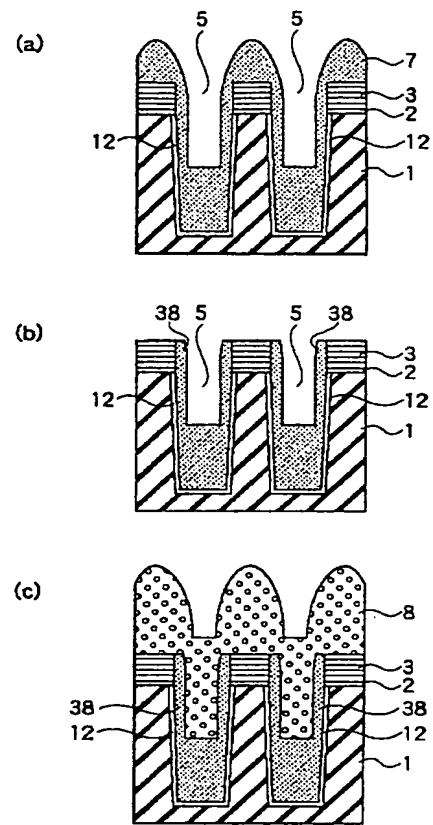
【図38】



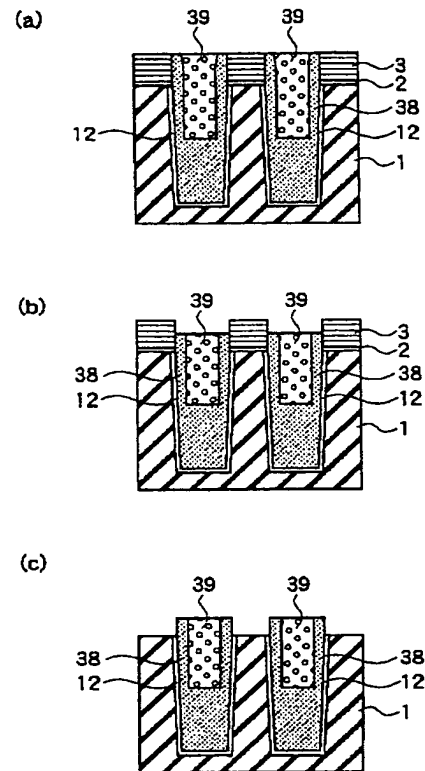
【図29】



【図32】



【図33】



フロントページの続き

(51) Int. Cl.<sup>7</sup> 識別記号 F I テーコード (参考)  
H 0 1 L 29/788  
29/792

(72) 発明者 市毛 正之  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 西山 幸男  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 竹内 祐司  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 間 博頭  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 荻原 博隆  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 梶 成彦  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

F ターム(参考) 4K030 BA40 BA44 BB13 CA04 CA11  
DA08 LA15  
5F032 AA35 AA44 AA45 AA46 AA70  
BA02 CA03 CA17 CA23 DA03  
DA04 DA23 DA24 DA26 DA28  
DA30 DA33  
5F048 AA04 AB01 AC01 BA01 BB05  
BB08 BB12 BF02 BF07 BG14  
5F083 EP02 EP24 EP55 EP56 JA02  
JA19 JA32 JA35 JA36 JA40  
JA53 NA01 PR03 PR05 PR21  
PR29 PR40  
5F101 BA07 BA29 BA36 BD35 BH02  
BH19 BH30

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**